

Patent



IFW
Customer No. 31561
Application No.: 10/709,954
Docket No. 11530-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Ho et al.
Application No. : 10/709,954
Filed : Jun 09, 2004
For : ELECTRICAL PACKAGE AND MANUFACTURING
METHOD THEREOF
Examiner :
Art Unit : 2826

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92122342,
filed on: 2003/8/14.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Oct 11, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

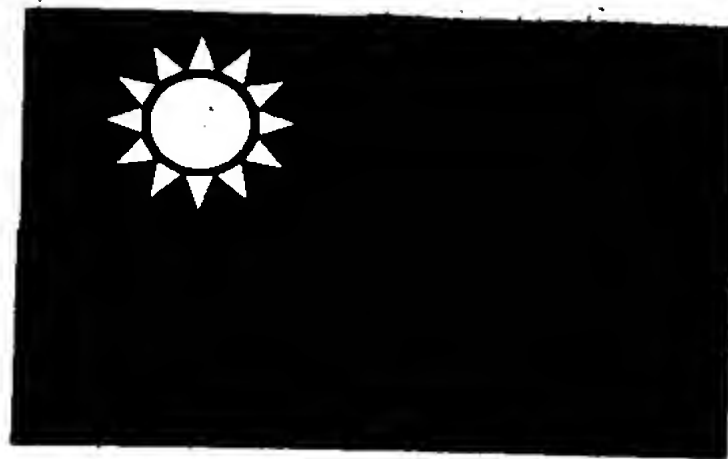
Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

BEST AVAILABLE COPY



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請日：西元 2003 年 08 月 14 日
Application Date

申請案號：092122342
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

CERTIFIED COPY OF
PRIORITY DOCUMENT

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320766230
Serial No.

BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：92122342	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	電氣封裝體及其製程
	英文	ELECTRICAL PACKAGE AND PROCESS THEREOF
二、 發明人 (共2人)	姓名 (中文)	1. 何昆耀
	姓名 (英文)	1. Kwun-Yao Ho
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG



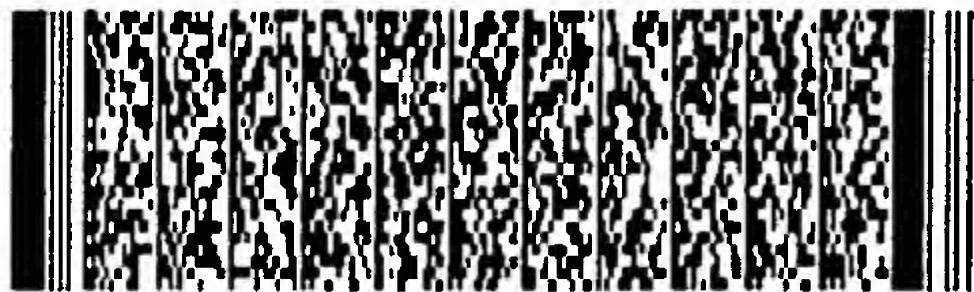
115301wf.p1d

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 宮振越
	姓 名 (英 文)	2. Moriss Kung
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營 業 所) (中 文)	
	住居所 (營 業 所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：電氣封裝體及其製程)

一種電氣封裝體及其製程，此電氣封裝製程乃是採用一具有硬質性、可導電性、低熱膨脹係數及高熱導性之支撐基板作為製程之初始層，接著形成一多層內連線結構於支撐基板之上，之後在支撐基板上形成多個開口，用以分別暴露出多層內連線結構之底面的多個接合墊，然後配置一電子元件至多層內連線結構之上，並且分別形成一接點於這些位於開口之內的接合墊上。

伍、(一)、本案代表圖為：第 2G 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：電氣封裝體

202：支撐基板

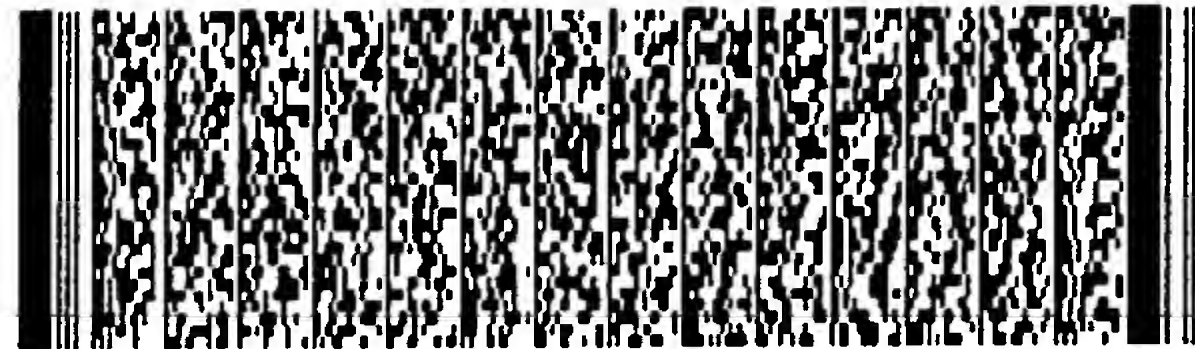
203、203a、203b：開口

204：阻障層

206：多層內連線結構

六、英文發明摘要 (發明名稱：ELECTRICAL PACKAGE AND PROCESS THEREOF)

An electrical package and process thereof are provided. The process uses a support substrate with high stiffness, electrical conductivity, low CTE, and high thermal conductivity. A multi-layer interconnection structure is deposited on the support substrate. A plurality of openings is formed on the support substrate to expose the bonding pads on the bottom surface of the

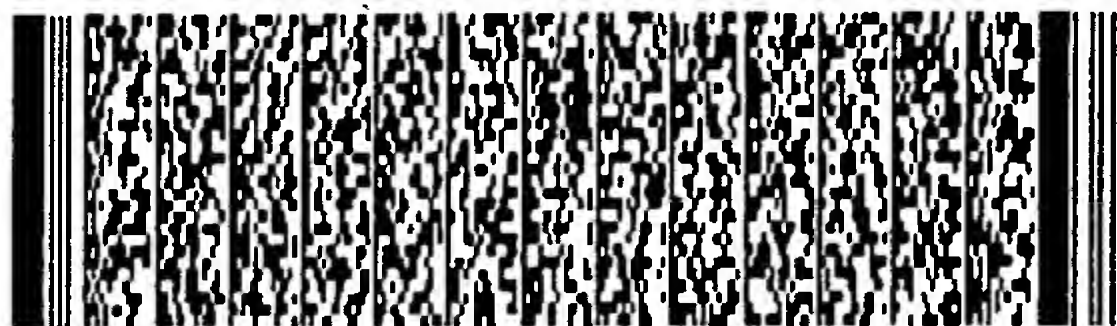


四、中文發明摘要 (發明名稱：電氣封裝體及其製程)

208 : 導線層
208b : 接合墊
210 : 介電層
212 : 導電孔道
216 : 絕緣層
218 : 電子元件
220、220a、220b : 接點

六、英文發明摘要 (發明名稱：ELECTRICAL PACKAGE AND PROCESS THEREOF)

multi-layer interconnection structure respectively. An electrical device is mounted on the top surface of the multi-layer interconnection structure, and a plurality of contacts is formed on the bonding pads respectively.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

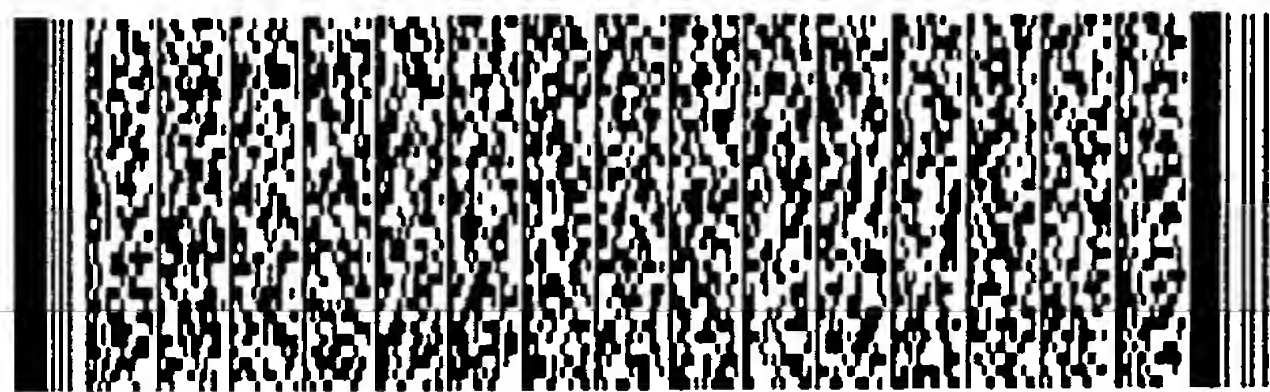
【發明所屬之技術領域】

本發明是有關於一種的電氣封裝體及其製程，且特別是有關於一種應用由導電材質所製成之支撐基板 (support substrate) 之電氣封裝體及其製程。

【先前技術】

覆晶連線技術 (Flip Chip Interconnect Technology, 簡稱FC) 是一種將晶片 (die) 電性連接至承載器 (carrier) 的封裝方法。覆晶連線技術主要是利用面陣列 (area array) 的方式，將多個晶片墊 (die pad) 配置於晶片之主動表面 (active surface) 上，並在晶片墊上形成凸塊 (bump)，接著將晶片翻覆 (flip) 之後，再利用這些凸塊來分別電性及結構性連接晶片之晶片墊至承載器上的凸塊墊 (bump pad)，使得晶片可經由這些凸塊而電性連接至承載器，並經由承載器之內部線路而電性連接至外界之電子裝置。值得注意的是，由於覆晶連線技術 (FC) 可適用於高腳數 (High Pin Count) 之晶片封裝體，並同時具有縮小晶片封裝面積及縮短訊號傳輸路徑等諸多優點，所以覆晶連線技術目前已廣泛地應用於晶片封裝領域，常見應用覆晶接合技術之晶片封裝結構例如有覆晶球格陣列型 (Flip Chip / Ball Grid Array, FC/BGA) 及覆晶針格陣列型 (Flip Chip / Pin Grid Array, FC/PGA) 等型態之晶片封裝結構。

請參考第1圖，其繪示習知之一種覆晶球格陣列型之電氣封裝體的剖面示意圖。電氣封裝體100包括基板

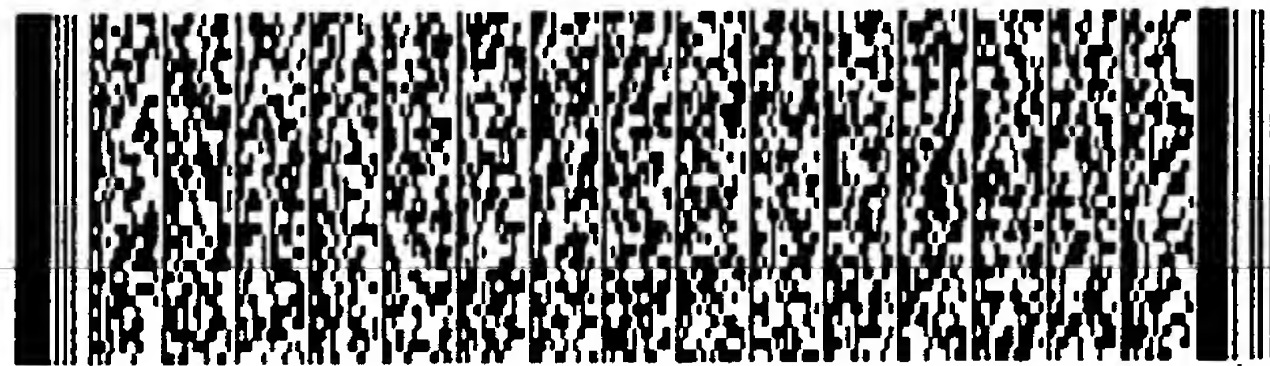
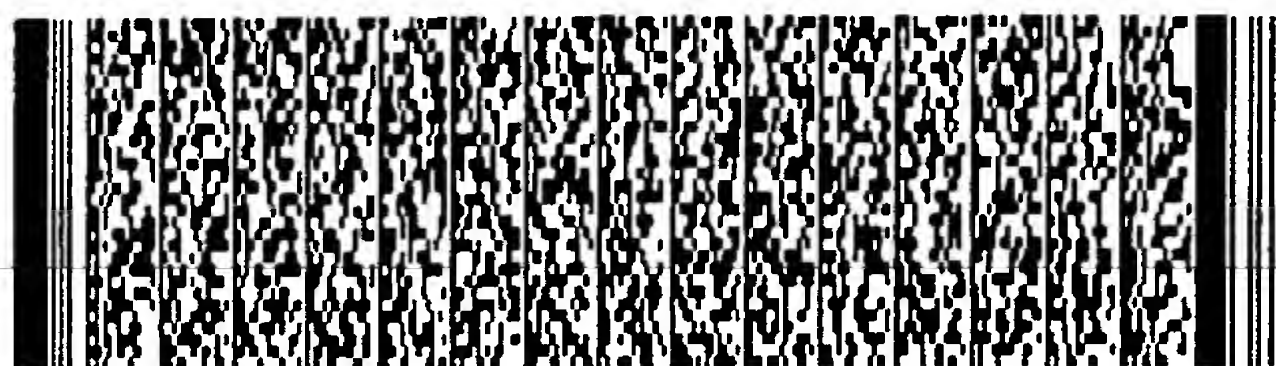


五、發明說明 (2)

(substrate) 110、多個凸塊120、晶片130及多個鐳球140。其中，基板110具有一頂面112及對應之一底面114且基板110更具有多個凸塊墊 (bump pad) 116a及多個鐳球墊 (ball pad) 116b。此外，晶片130具有一主動表面 (active surface) 132及對應之一背面134，其中晶片130之主動表面112係泛指晶片130之具有主動元件

(active device) (未繪示) 的一面，並且晶片130更具有多個晶片墊136，其配置於晶片130之主動表面132，用以作為晶片130之訊號輸出入的媒介，而這些凸塊墊116a之位置係分別對應於這些晶片墊136之位置。另外，這些凸塊120則分別電性及結構性連接這些晶片墊136之一至其所對應之這些凸塊墊116a之一。並且，這些鐳球140則分別配置於這些鐳球墊116b上，用以電性及結構性連接至外界之電子裝置。

請同樣參考第1圖，習知之電氣封裝製程乃是在完成基板110之內部線路及接點116a、116b之後，再將晶片130組裝於基板110之表面上，接著將一底膠 (underfill) 150填充於基板110之頂面112及晶片130之主動表面132所圍成的空間，用以保護這些凸塊墊116a、這些晶片墊136及這些凸塊120，並同時緩衝基板110與晶片130之間在受熱時所產生熱應變 (thermal strain) 之不匹配的現象。因此，晶片130之晶片墊136將可經由凸塊120而電性及結構性連接至基板110之凸塊墊116a，再經由基板110之內部線路而向下繞線 (routing) 至基板110之底面114的鐳球



五、發明說明 (3)

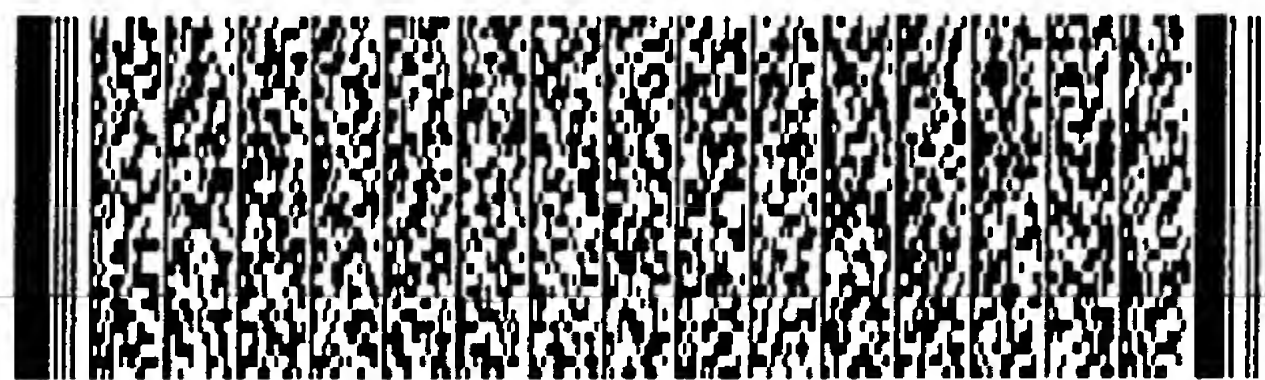
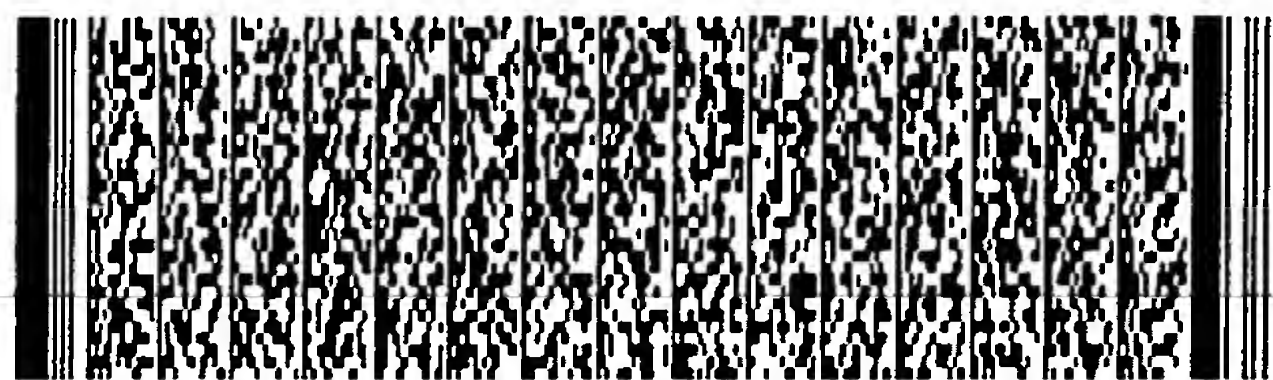
墊116b，最後經由錫球墊116b上之錫球140而電性及結構性連接至外界之電子裝置。

就高密度線路佈線之基板的製程而言，習知通常是利用增層法 (build up) 在一介電芯層 (dielectric core) 之兩面分別同時形成一線路層，並且利用鍍通孔道 (Plated Through Hole, PTH) 來電性連接兩線路層。然而，由於使用厚度較薄之介電芯層的基板很容易受熱而發生翹曲 (warp) 的現象，所以基板之介電芯層必須具有足夠的厚度，如此才能相對提供足夠的結構強度，但這也導致介電芯層之厚度無法進一步地降低。

除此之外，為了在介電芯層上製作導電孔道 (PTH)，習知通常是利用雷射鑽孔 (laser drilling) 的方式，在介電芯層上形成微細尺寸的貫孔，接著電鍍一金屬層於貫孔之內壁，用以電性連接位於介電芯層之兩面的線路層。然而，由於習知之鍍通孔道 (PTH) 的製程通常是利用雷射鑽孔來形成微細尺寸的貫孔，如此將導致基板之整體製作成本的提高。此外，習知之鍍通孔道 (PTH) 的製程已無法有效降低導電孔道 (PTH) 之外徑，使得習知之導電孔道 (PTH) 儼然成為目前高密度線路佈線之基板的設計瓶頸。

【發明內容】

有鑑於此，本發明的目的就是在提供一種電氣封裝體及其製程，用以提供高密度接合墊及微細線路的多層內連線結構，並可有效地降低電氣封裝體之製作成本及顯著地



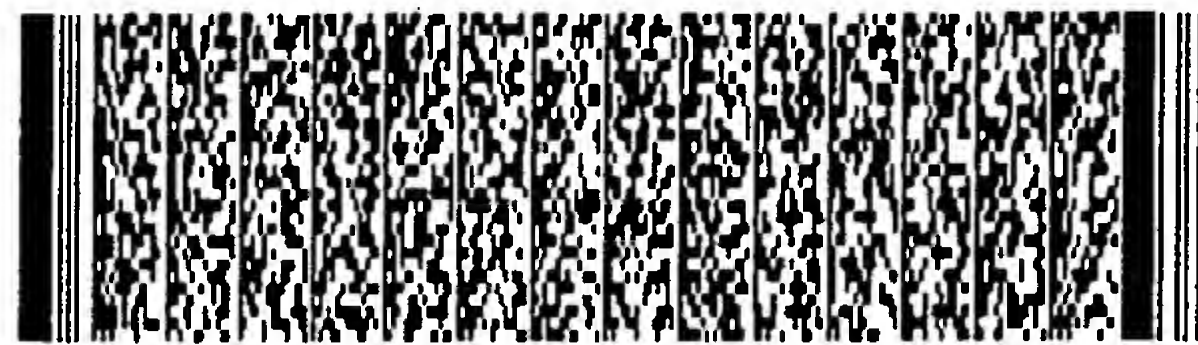
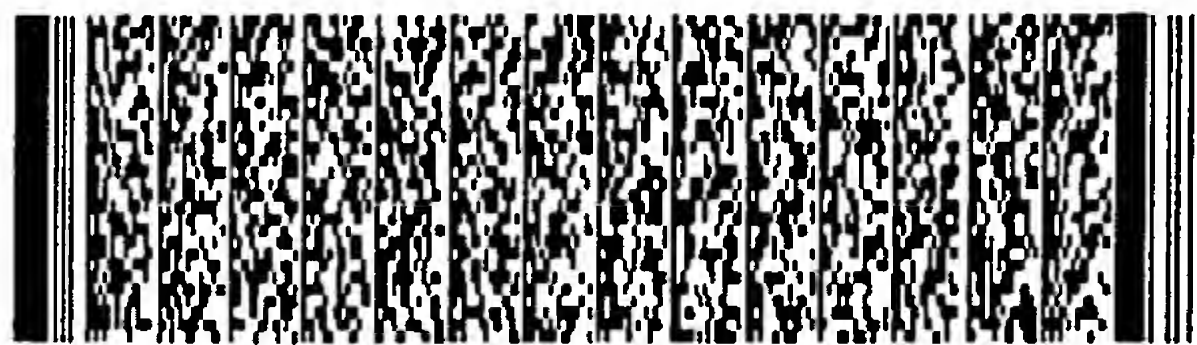
五、發明說明 (4)

提升電氣封裝體之電性效能。

為達本發明之上述目的，本發明提出一種電氣封裝體，此電氣封裝體包括一多層內連線結構 (multi-layer interconnection structure)、至少一電子元件及一支撐基板。首先，此多層內連線結構具有一頂面及對應之一底面，且此多層內連線結構更具有一內部線路 (inner circuit)，其具有多個接合墊，而這些接合墊係位於此多層內連線結構之底面。此外，電子元件係配置於此多層內連線結構之頂面，並電性連接於此多層內連線結構之內部線路。另外，支撐基板之材質係為導電材質，且此支撐基板係配置於此多層內連線結構之底面，而此支撐基板更具有多個開口，其分別暴露出其所對應之這些接合墊之一。

為達本發明之上述目的，本發明又提出一種電氣封裝製程。首先，提供一支撐基板，其材質係為導電材質。接著，形成一多層內連線結構於此支撐基板上，且此多層內連線結構具有一內部線路，而此內部線路更具有多個接合墊，其位於此多層內連線結構之接近此支撐基板之一面。形成多個開口於支撐基板上，而這些開口係分別暴露出其所對應之這些接合墊之一。配置至少一電子元件於此多層內連線結構之遠離此支撐基板之一面，且此電子元件係電性連接於此多層內連線結構之內部線路。

基於上述，本發明係採用一具有硬質性、可導電性、低熱膨脹係數 (CTE) 及高熱導性之支撐基板作為製程之



五、發明說明 (5)

初始層，接著形成一多層內連線結構於支撐基板之上，之後在支撐基板上形成多個開口，用以分別暴露出多層內連線結構之底面的多個接合墊，然後配置一電子元件至多層內連線結構之上，並且分別形成一接點於這些位於開口之內的接合墊上。因此，本發明將可有效地提升電氣封裝體之電性效能及散熱效能，並可降低電氣封裝體之厚度，以符合電氣封裝體之小型化的需求。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉二實施例，並配合所附圖式，作詳細說明如下：

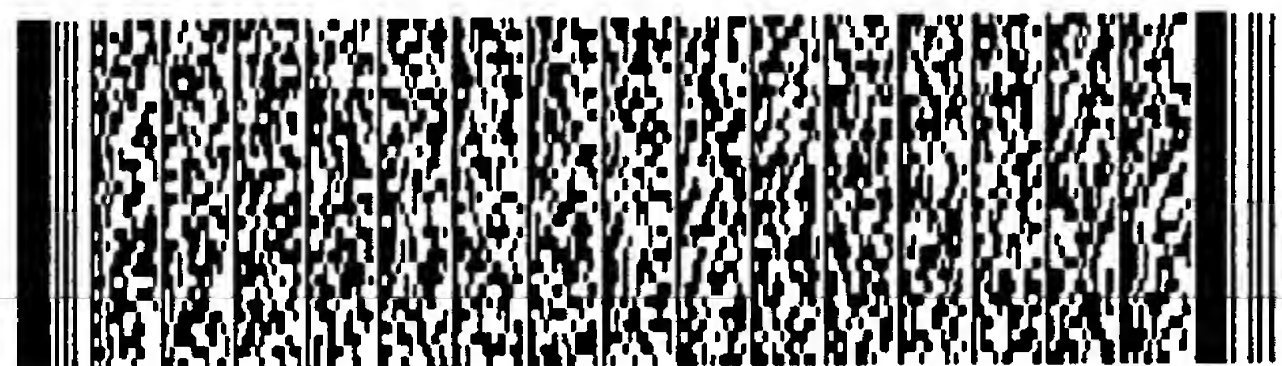
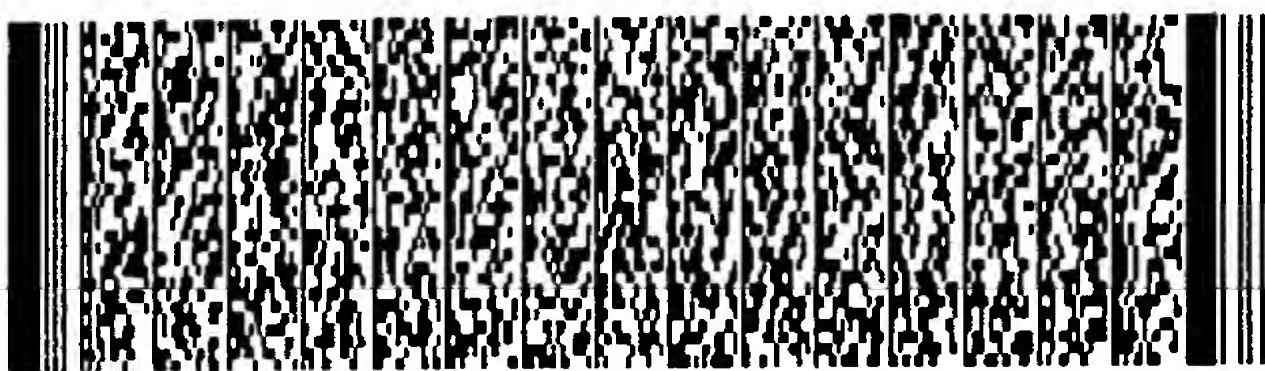
【實施方式】

[第一實施例]

請依序參考第2A～2G圖，其繪示本發明之第一實施例之電氣封裝製程的流程示意圖。

如第2A圖所示，提供一支撐基板202，其本身具有硬質性、可導電性、低熱膨脹係數及高熱導性等特性，支撐基板202之材質例如鐵、鈷、鎳、銅、鋁、鈦、鎢、鋳、鉻及該等合金，並且支撐基板202之表面必須具有較高等級的平坦度 (co-planarity)，以利於後續製程在支撐基板202之表面製作微細線路。

如第2B圖所示，形成多個阻障層 (barrier layer) 204 於支撐基板202之上，其中阻障層204之材質係為導電材質，例如為金，而形成這些阻障層204之目的將於下文說明。

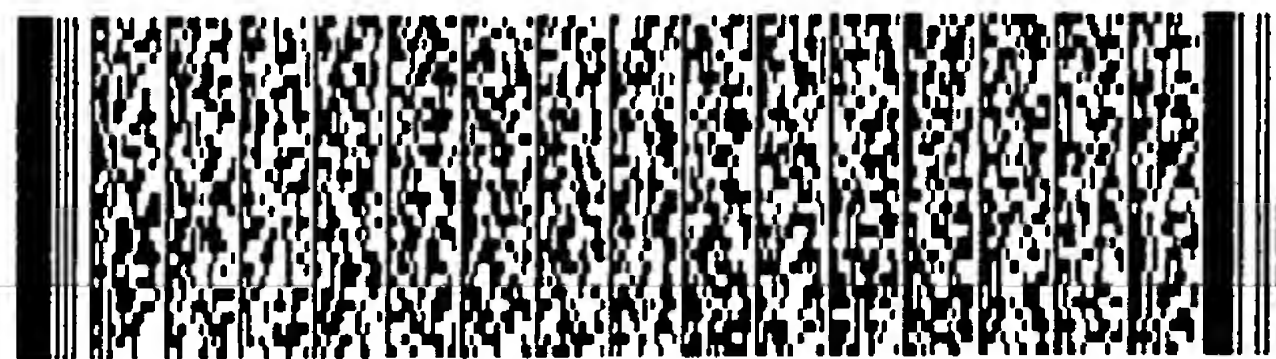
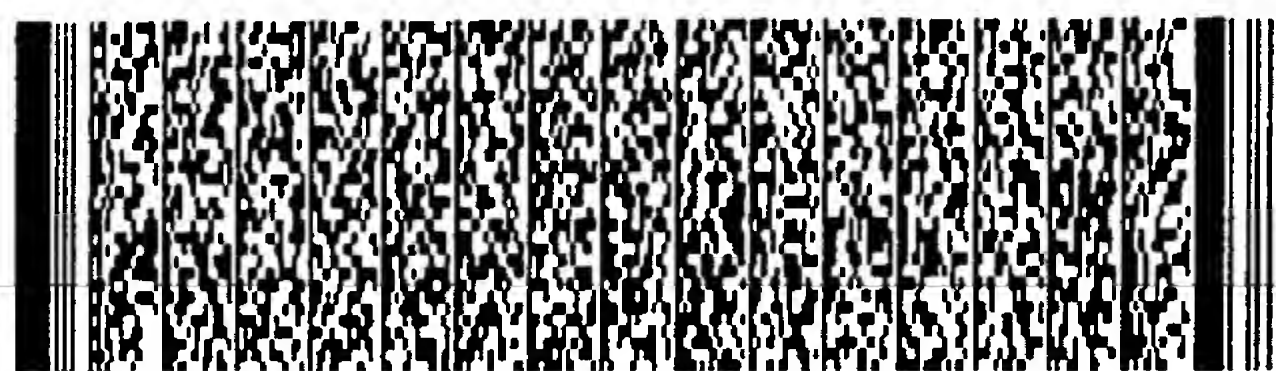


五、發明說明 (6)

如第2C圖所示，形成一多層內連線結構206於支撐基板202之上，並覆蓋這些阻障層202。其中，多層內連線結構206包括圖案化之多個導線層208、至少一介電層210及多個導電孔道212，其中這些導線層208係依序重疊於支撐基板202之上，而每一介電層210則配置於兩相鄰之導線層208之間，且這些導電孔道212係分別貫穿這些介電層210之一，而電性連接至少二導線層208，且這些導線層208及這些導電孔道212係共同構成一內部線路，其係形成多個接合墊208a於多層內連線結構206之頂面206a，且在多層內連線結構206之底面206b亦形成多個接合墊208b，其中這些接合墊208a係可由導線層208所形成，或是由導電孔道210所形成，第2C圖之接合墊208a係以後者作為代表，即以導電孔道210來作為接合墊208a。此外，導線層208之材質例如為銅、鋁及該等合金，而介電層210之材質例如為氮化矽 (silicon nitride)、氧化矽 (silicon oxide) 或環氧樹脂 (epoxy resin) 等。

同樣如第2C圖所示，若以電鍍製程來形成多層內連線結構206之內部線路時，可直接藉由支撐基板202來提供習知之電鍍線的功能，意即連接電源以提供電鍍所需之電流。

同樣如第2C圖所示，由於本發明可以利用液晶顯示面板或積體電路等相關製程技術，來形成此一多層內連線結構206於支撐基板202之上，使得多層內連線結構206之內部線路的線寬及線距其範圍均可在1~50微米的範圍之

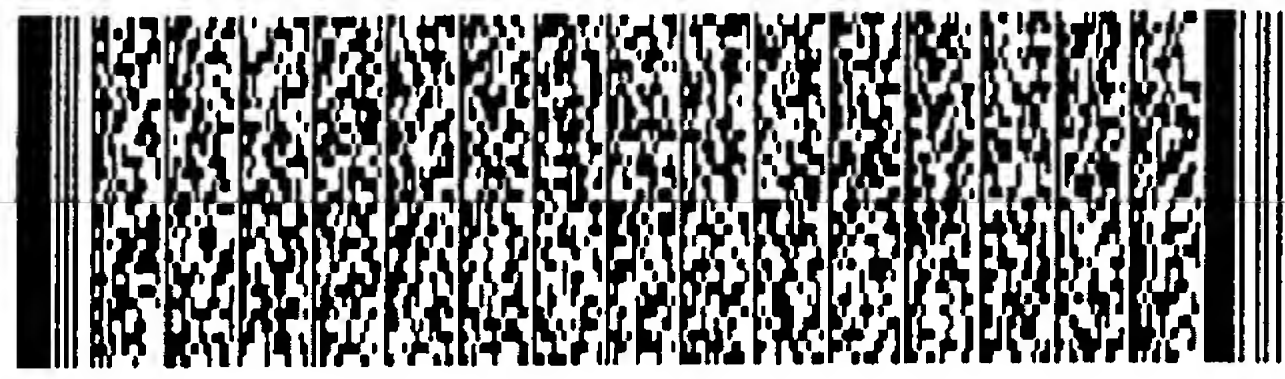
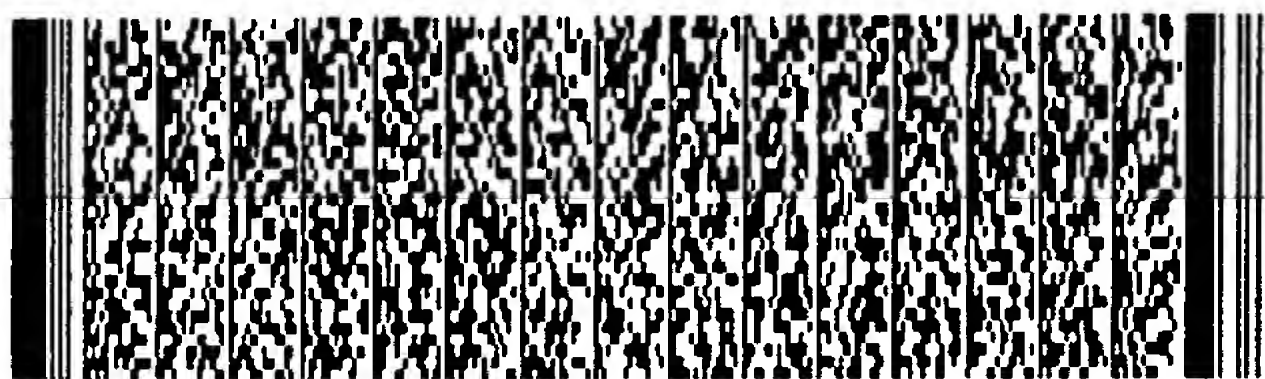


五、發明說明 (7)

間，且特別是在1～數微米的範圍之間。因此，相較於習知之第1圖所示之以有機材料為介電層材質的基板110，處所製作出之多層內連線結構206將可提供更高密度的接合墊及更微細的線路。此外，在形成多層內連線結構206於支撐基板202之上的同時，更可配設被動元件 (passive component) (未繪示) 於多層內連線結構206之內部或其頂面206a，並電性連接於多層內連線結構206之內部線路，或者是在多層內連線結構206之內部線路形成特殊繞線來形成電容器 (capacitor) 及電感器 (inductor) 等被動元件。

如第2D圖所示，例如以蝕刻的方式，移除局部之支撐基板202，即圖案化支撐基板202，用以形成多個開口203，而這些開口203係分別經由暴露出這些阻障層204，而間接地暴露出這些接合墊208b。值得注意的是，設置這些阻障層204之目的即是在移除局部之支撐基板202時，即圖案化支撐基板202時，預防蝕刻液不當移除這些阻障層204之上方的內部線路。此外，在第2F圖之電子元件218 (例如晶片) 以覆晶接合的方式配置於多層內連線結構206之頂面206a以前，尚可預先在這些接合墊208a上分別形成一預鐳塊214 (或一凸塊)，以利於電子元件218之覆晶接合製程。

如第2E圖所示，分別形成一絕緣層216於這些開口203a之內壁上，但不形成絕緣層216於開口203b之內壁，且在形成絕緣層216之過程中，絕緣層216可位於支撐基板

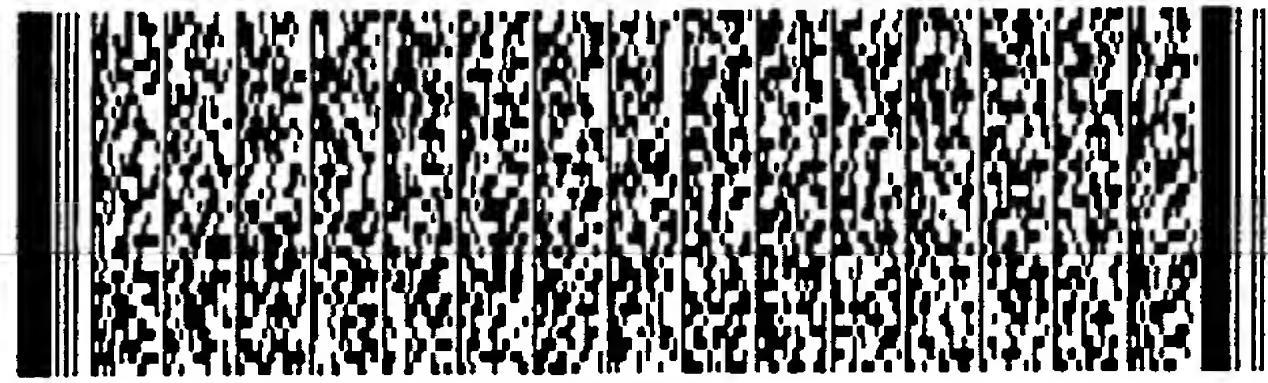
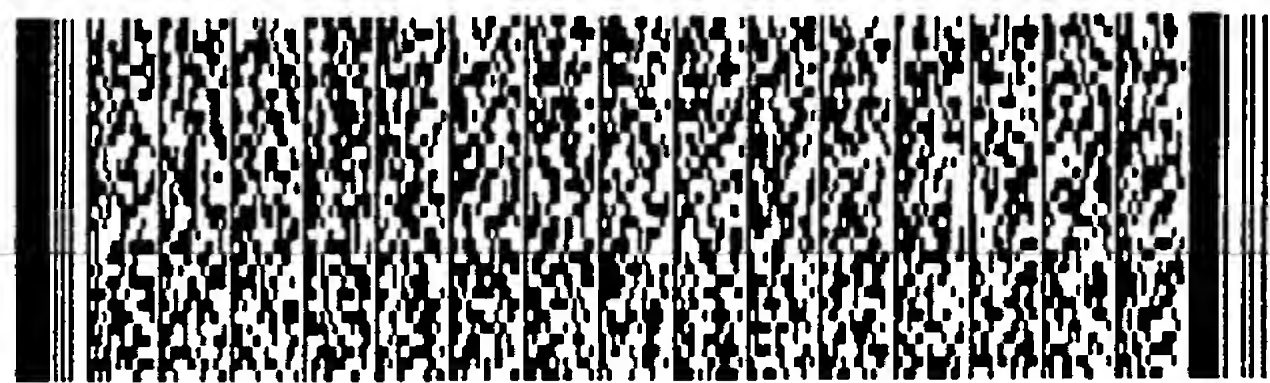


五、發明說明 (8)

202 之較遠離多層內連線結構206 的一面，其中絕緣層216 之材質係可相同於常見之錒罩層 (solder mask) 的材質。

如第2F 圖所示，配置至少一電子元件218 於多層內連線結構206 之頂面206a，並且電子元件218 係可電性連接於多層內連線結構206 之內部線路，其中電子元件218 例如為晶片、被動元件或另一電氣封裝體，並且電子元件218 之電性連接至多層內連線結構206 的方式例如為覆晶接合 (flip-chip bonding)、打線接合 (wire bonding) 或熱壓接合 (thermal compression bonding) 等。值得注意的是，第一實施例僅以覆晶接合的方式，將一晶片電性連接至多層內連線結構206 來作為代表。

如第2G 圖所示，分別形成一接點220 於這些接合墊208b 上，其中這些接點220 例如錒球 (solder ball)、針腳 (pin) 或電極凸塊 (electrode block)，而完成電氣封裝體200。值得注意的是，由於具有導電性之支撐基板202 係可提供作為較大之參考平面 (reference plane)，例如電源平面 (power plane) 或接地平面 (ground plane)，故可經由最底層之導線層208 來直接電性連接支撐基板202 以外，更可經由這些位於開口203b 之內的接點220b (僅繪示其一) 來直接電性連接支撐基板202，而其餘不需電性連接至支撐基板202 的接點220a，則分別經由一絕緣層216 來電性隔絕於支撐基板202，使得電氣封裝體200 具有較大之參考平面，因而相對提升電氣封裝體200 之



五、發明說明 (9)

電性效能。

同樣如第2G圖所示，當這些接點220係為鐸球時，可將用來形成這些接點220之材料分別填入這些開口202之內，使得這些接點220將分別填滿其所對應之開口203，並電性連接至其所對應之接合墊208b。此外，尚在分別配置這些接點220於這些接合墊208b之前或之後來進行切單作業，用以分割出許多單顆電氣封裝體200。

請參考第3圖，其繪示本發明之第一實施例的電氣封裝體，其採用體積較小之接點的剖面示意圖。當電氣封裝體201採用體積較小或針腳型態之接點220時，為了使這些接點220能夠與此一具有導電性之支撐基板202相電性隔離，可在分別製作這些接點220於這些接合墊208b上的同時，設計讓這些接點220之側緣均分別遠離這些開口203之內壁，或是設計增加這些開口203之外徑，使得每一接點220之側緣均分別遠離對應之開口203的內壁。當然，此處亦可增加某些接點220之體積，使得某些接點220能夠直接連接至支撐基板202，即類似第2G圖之接點220b的情況，但這樣的情況並未繪示於第3圖。

[第二實施例]

第一實施例係先形成一導線層於支撐基板之後，再形成其餘之多層內連線結構，然而，第二實施例則是在形成一具介電性之隔絕層以後，始形成其餘之多層內連線結構。

請依序參考第4A~4H圖，其繪示本發明之第二實施例



五、發明說明 (10)

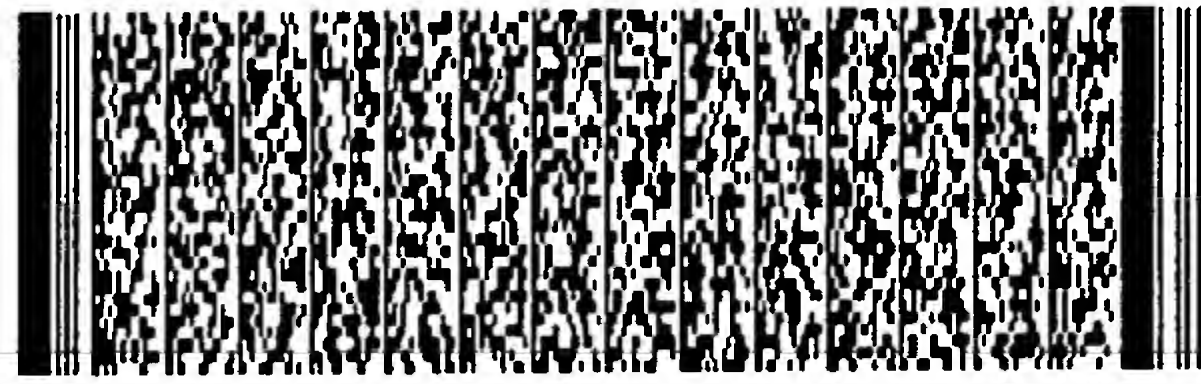
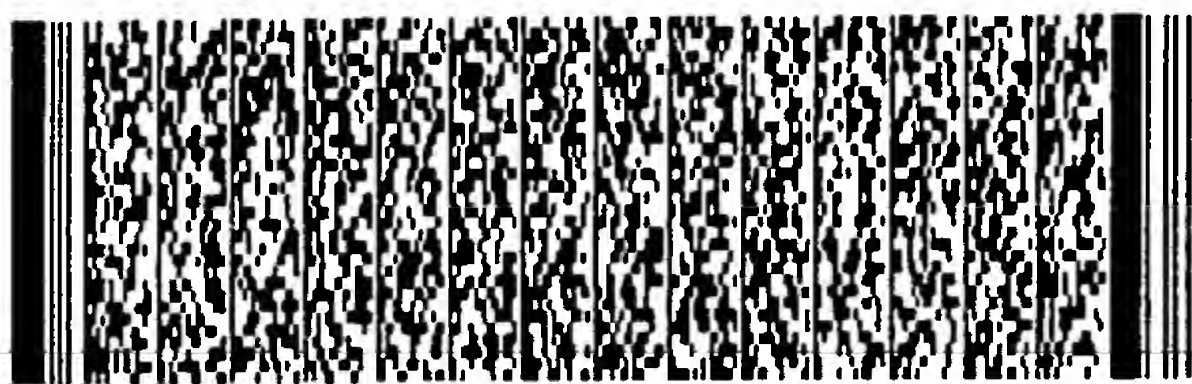
之電氣封裝製程的流程示意圖。

如第4A圖所示，提供一支撐基板302，其本身具有硬質性、可導電性、低熱膨脹係數及高熱導性等特性，支撐基板302之材質例如鐵、鈷、鎳、銅、鋁、鈦、鎢、鉻、鉬及該等合金，並且支撐基板302之表面必須具有較高等級的平坦度，以利於後續製程在支撐基板302之表面製作微細線路。

如第4B圖所示，接著形成一隔絕層322於支撐基板302上，並在隔絕層322上形成多個開口322a。其中，隔絕層322之材質係為介電材質。

如第4C圖所示，同時形成多個阻障層304a及多個導電孔道304b於支撐基板302之上，其中這些阻障層304a係配置於隔絕層322上，而這些導電孔道304b則分別位於這些開口322a之內。此外，阻障層304a及導電孔道304b之材質係為導電材質，例如金。

如第4D圖所示，形成一多層內連線結構306於支撐基板302之上。由於多層內連線結構306之組成結構已說明於第一實施例，於此不再重複贅述。同樣地，多層內連線結構306之頂面306a係形成多個接合墊308a，且在多層內連線結構306之底面306b亦形成多個接合墊308b。值得注意的是，若以電鍍製程來形成多層內連線結構306之內部導電線路時，可直接藉由支撐基板302及這些導電孔道304b來提供習知之電鍍線的功能，意即連接電源以提供電鍍所需之電流。

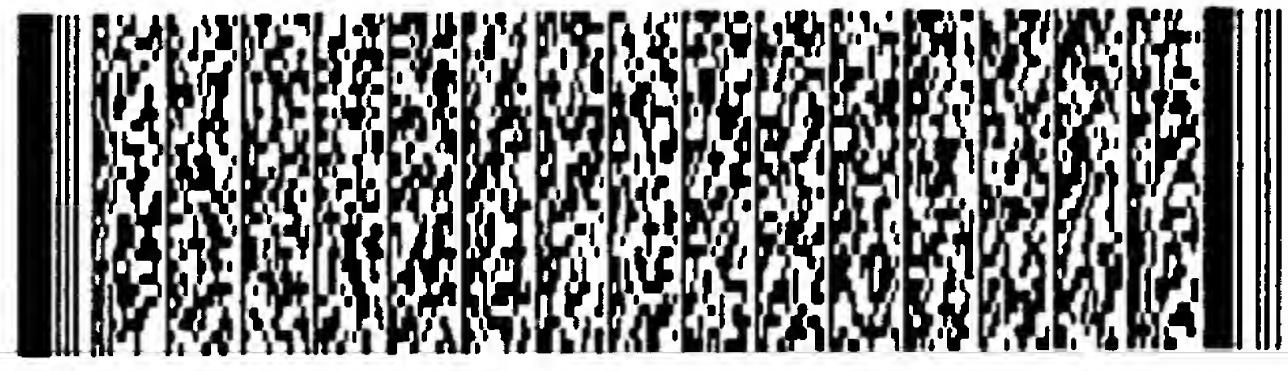
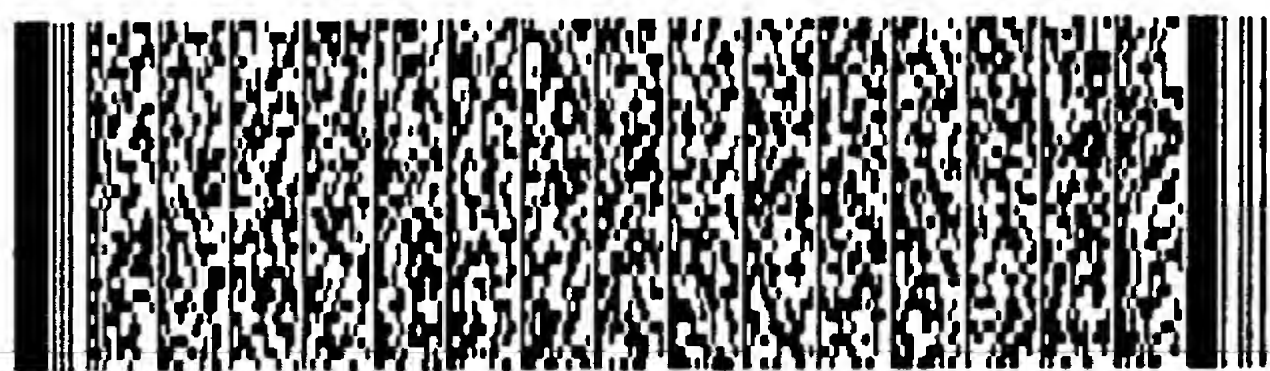


五、發明說明 (11)

如第4E圖所示，移除局部之支撐基板302，即圖案化支撐基板302，用以形成多個開口303，其中例如以超音波穿孔、雷射燒孔或蝕刻等方式來形成多個開口323於隔絕層322上，而這些開口323分別連通於這些開口303，並分別經由暴露出這些阻障層304a及這些導電孔道304b，而間接地暴露出這些接合墊308b。同樣地，在第4G圖之電子元件318（例如晶片）係以覆晶接合的方式，配置於多層內連線結構306之頂面306a以前，尚可預先在這些接合墊308a上分別形成一預鐸塊314（或一凸塊），以利於電子元件318之覆晶接合製程。值得注意的是，可利用具有導電性之支撐基板302來取代習知之電鍍線（plated line），而在多層內連線結構306之頂面306a的這些接合墊308a上形成預鐸塊314等。

如第4F圖所示，分別形成一絕緣層316於這些開口303a及開口323a之內壁上，但不形成絕緣層316於開口303b及開口323b之內壁，且在形成絕緣層316之過程中，絕緣層316可位於支撐基板302之較遠離多層內連線結構306的一面，其中絕緣層316之材質係可相同於常見之鐸罩層（solder mask）的材質。

如第4G圖所示，配置至少一電子元件318於多層內連線結構306之頂面306a，並且電子元件318係可電性連接於多層內連線結構306之內部線路，其中電子元件318例如為晶片、被動元件或另一電氣封裝體，並且電子元件318其電性連接至多層內連線結構306的方式例如為覆晶接合、



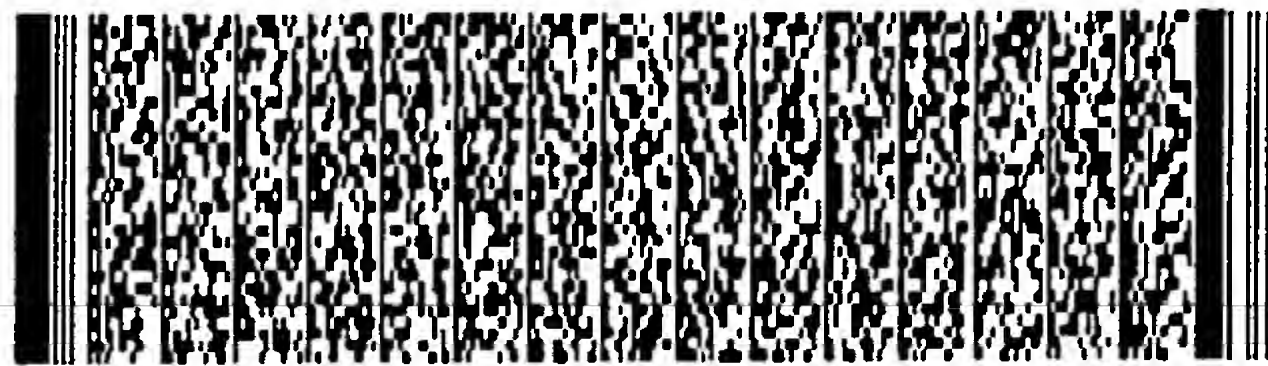
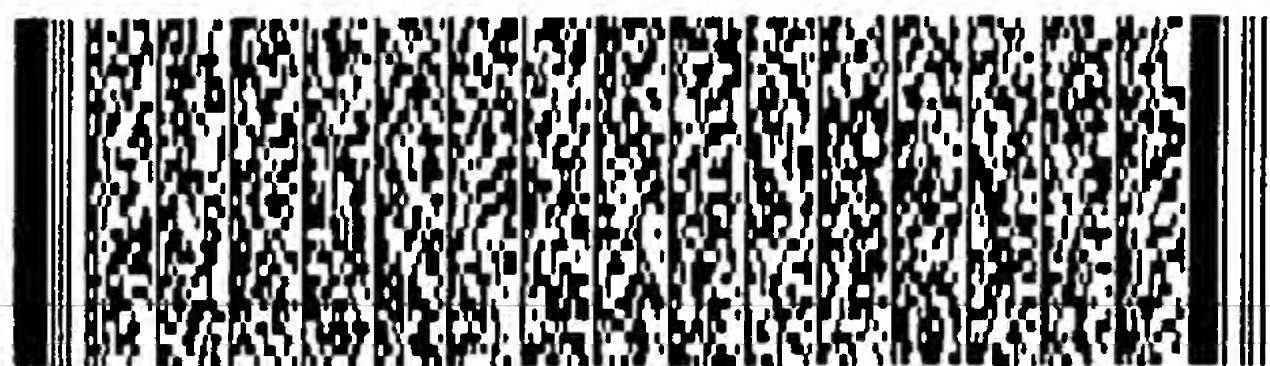
五、發明說明 (12)

打線接合或熱壓接合等。同樣地，第二實施例仍僅以覆晶接合的方式，將一晶片電性連接至多層內連線結構306來作為代表。

如第4H圖所示，分別形成一接點320於這些接合墊308b上，其中這些接點320例如鐳球、針腳或電極凸塊，而完成電氣封裝體300。同樣地，由於具有導電性之支撐基板302係可提供作為較大之參考平面，例如電源平面或接地平面，故可經由這些位於開口303b之內的接點320b（僅繪示其一）來直接電性連接支撐基板302，而其餘不需電性連接至支撐基板302的接點320a，則分別經由一絕緣層316來電性隔絕於支撐基板302，使得電氣封裝體300具有較大之參考平面，因而相對提升電氣封裝體300之電性效能。

同樣如第4H圖所示，當這些接點320係為鐳球時，可將用來形成這些接點320之材料分別填入這些開口302之內，使得這些接點320將分別填滿其所對應之開口303，並電性連接至其所對應之接合墊308b。此外，尚可在分別配置這些接點320於這些接合墊308b之前或之後，來進行切單作業，用以分割出許多單顆電氣封裝體300。

在本發明之第一實施例及第二實施例中，本發明之電氣封裝體除可封裝單個電子元件以外，亦可封裝多個電子元件，並可經由上述之多層內連線結構之內部線路而相互電性連接，所以電氣封裝體亦可應用於多重晶片模組（Multiple Chip Module，MCM）及系統於單一封裝



五、發明說明 (13)

(System In Package, SIP)。

綜上所述，本發明之電氣封裝體及其製程至少具有下列優點：

(1) 本發明乃是利用一具有硬質性、低熱膨脹係數及具有導電性之支撐基板來作為製程之初始層，故可減少電氣封裝體之翹曲現象。

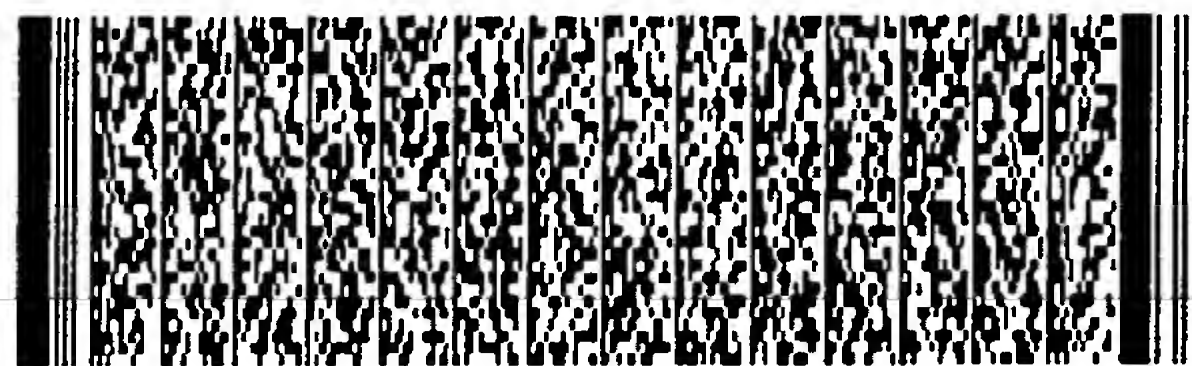
(2) 本發明乃是利用一具有導電性之支撐基板來作為電氣封裝體之電源平面或接地平面，並可直接利用接點來連接支撐基板，故可提升電氣封裝體之電性效能。

(3) 相較於習知之介電芯層，本發明乃是利用一具有相對高熱導性 (thermal conductive) 之支撐基板來作為電氣封裝體之主要結構，故可提升電氣封裝體之散熱效能。

(4) 相較於習知之基板的介電芯層，本發明不需要在介電芯層上形成細微的貫孔來製作鍍通孔道 (PTH)，故可相對提升支撐基板上之多層內連線結構的佈線密度，因而相對提升電氣封裝體之電性效能。

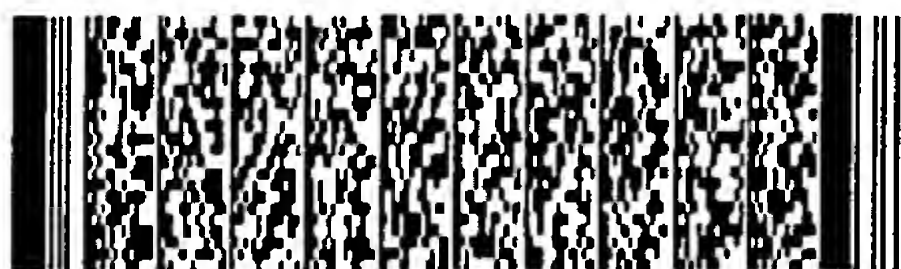
(5) 在本發明之第二實施例中，本發明係可利用具有導電性之支撐基板來取代習知之電鍍線 (plated line)，並經由支撐基板，而在多層內連線結構之頂面的這些接合墊上形成電鍍層、預銲塊 (pre-solder) 或凸塊 (bump) 等。

雖然本發明已以二較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精



五、發明說明 (14)

神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知之一種覆晶球格陣列型之電氣封裝體的剖面示意圖。

第2A～2G圖繪示本發明之第一實施例之電氣封裝製程的流程示意圖。

第3圖繪示本發明之第一實施例的電氣封裝體，其採用體積較小之接點的剖面示意圖。

第4A～4H圖繪示本發明之第二實施例之電氣封裝製程的流程示意圖。

【圖式標示說明】

100：電氣封裝體

110：基板

112：頂面

114：底面

116a：凸塊墊

116b：鐳球墊

120：凸塊

130：晶片

132：主動表面

134：背面

136：晶片墊

140：鐳球

150：底膠

200、201：電氣封裝體

202：支撐基板



圖式簡單說明

203、203a、203b：開口
204：阻障層
206：多層內連線結構
206a：頂面
206b：底面
208：導線層
208a：接合墊
208b：接合墊
210：介電層
212：導電孔道
214：預鐳塊
216：絕緣層
218：電子元件
220、220a、220b：接點
300：電氣封裝體
302：支撐基板
303、303a、303b：開口
304a：阻障層
304b：導電孔道
306：多層內連線結構
306a：頂面
306b：底面
308a：接合墊
308b：接合墊



圖式簡單說明

314 : 預 鐳 塊

316 : 絕 緣 層

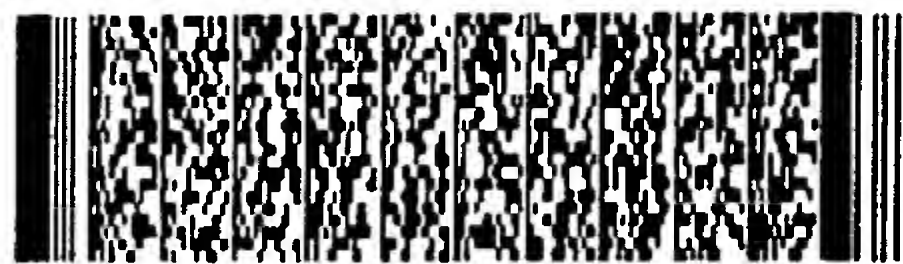
318 : 電 子 元 件

322 : 隔 絕 層

322a : 開 口

323 、 323a 、 323b : 開 口

320 : 接 點



六、申請專利範圍

1. 一種電氣封裝體，至少包括：

一多層內連線結構，具有一頂面及對應之一底面，該多層內連線結構更具有一內部線路，而該內部線路更具有複數個接合墊，其位於該多層內連線結構之該底面；

至少一電子元件，配置於該多層內連線結構之該頂面，並電性連接於該多層內連線結構之該內部線路；以及

一支撐基板，其材質係為導電材質，且該支撐基板係配置於該多層內連線結構之該底面，而該支撐基板更具有多個第一開口，其分別暴露出其所對應之該些接合墊之一。

2. 如申請專利範圍第1項所述之電氣封裝體，更包括一隔絕層，其材質係為絕緣材質，其中該隔絕層係配置介於該多層內連線結構及該支撐底板之間，且該隔絕層更具有複數個第二開口，其分別暴露出其所對應之該些接合墊之一。

3. 如申請專利範圍第1項所述之電氣封裝體，其中該些接合墊分別具有一阻障層，其分別配置介於該些接合墊之表面，且該些第一開口更分別暴露出該些阻障層。

4. 如申請專利範圍第1項所述之電氣封裝體，其中該電子元件係為一晶片、一被動元件及另一電氣封裝體其中之一。

5. 如申請專利範圍第1項所述之電氣封裝體，其中該支撐基板之材質係為金屬及合金其中之一。

6. 如申請專利範圍第1項所述之電氣封裝體，更包括



六、申請專利範圍

複數個接點，其分別經由其所對應之該些第一開口，而連接至其所對應之該些接合墊之一。

7. 如申請專利範圍第6項所述之電氣封裝體，其中該些接點之型態係為鐳球、針腳及電極凸塊其中之一。

8. 如申請專利範圍第6項所述之電氣封裝體，其中該些接點之至少一係填滿其所對應之該些第一開口之一，而電性連接至該支撐基板。

9. 如申請專利範圍第6項所述之電氣封裝體，其中該些接點係分別填滿其所對應之該些第一開口，而該支撐基板更具有至少一絕緣層，其配置於該接點之一及其所對應該開口之間。

10. 如申請專利範圍第1項所述之電氣封裝體，其中該電子元件係以覆晶接合、打線接合及熱壓接合其中之一的的方式，電性連接於該多層內連線結構之該內部線路。

11. 一種電氣封裝製程，至少包括下列步驟：

提供一支撐基板，其材質係為導電材質；

形成一多層內連線結構於該支撐基板之上，且該多層內連線結構具有一內部線路，而該內部線路更具有複數個接合墊，其位於該多層內連線結構之接近該支撐基板之一面；

形成複數個第一開口於該支撐基板上，而該些第一開口係分別暴露出其所對應之該些接合墊之一；以及

配置至少一電子元件於該多層內連線結構之遠離該支撐基板之一面，且該電子元件係電性連接於該多層內連線



六、申請專利範圍

結構之該內部線路。

12. 如申請專利範圍第11項所述之電氣封裝製程，其該支撐基板之材質係為金屬及合金其中之一。

13. 如申請專利範圍第11項所述之電氣封裝製程，其中在形成多層內連線結構之時，更包括在每一該些接合墊及該支撐基板之間形成一阻障層。

14. 如申請專利範圍第11項所述之電氣封裝製程，其中該電子元件係為一晶片、一被動元件及另一電氣封裝體其中之一。

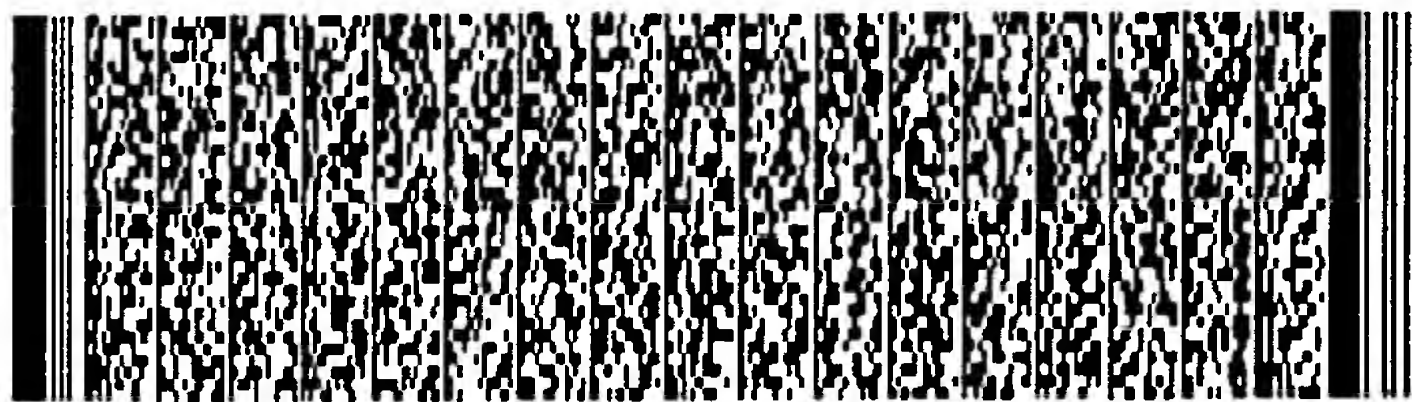
15. 如申請專利範圍第11項所述之電氣封裝製程，更包括分別形成一接點於該些接合墊，且該些接點係分別位於該支撐基板之該些第一開口中。

16. 如申請專利範圍第15項所述之電氣封裝製程，其中該些接點之型態係採用鐸球、針腳及電極凸塊其中之一。

17. 如申請專利範圍第15項所述之電氣封裝製程，其中該些接點之至少一係填滿其所對應之該些第一開口之一，而電性連接至該支撐基板。

18. 如申請專利範圍第15項所述之電氣封裝製程，其中更包括先形成至少一絕緣層於該些開口之一的內壁，且對應之該接點係填滿該開口，並經由該絕緣層而與該支撐基板相電性隔離。

19. 如申請專利範圍第11項所述之電氣封裝製程，更包括形成一隔絕層於該支撐底板之上，且該多層內連線結構係形成於該隔絕層之上，接著更包括形成複數個第二開口

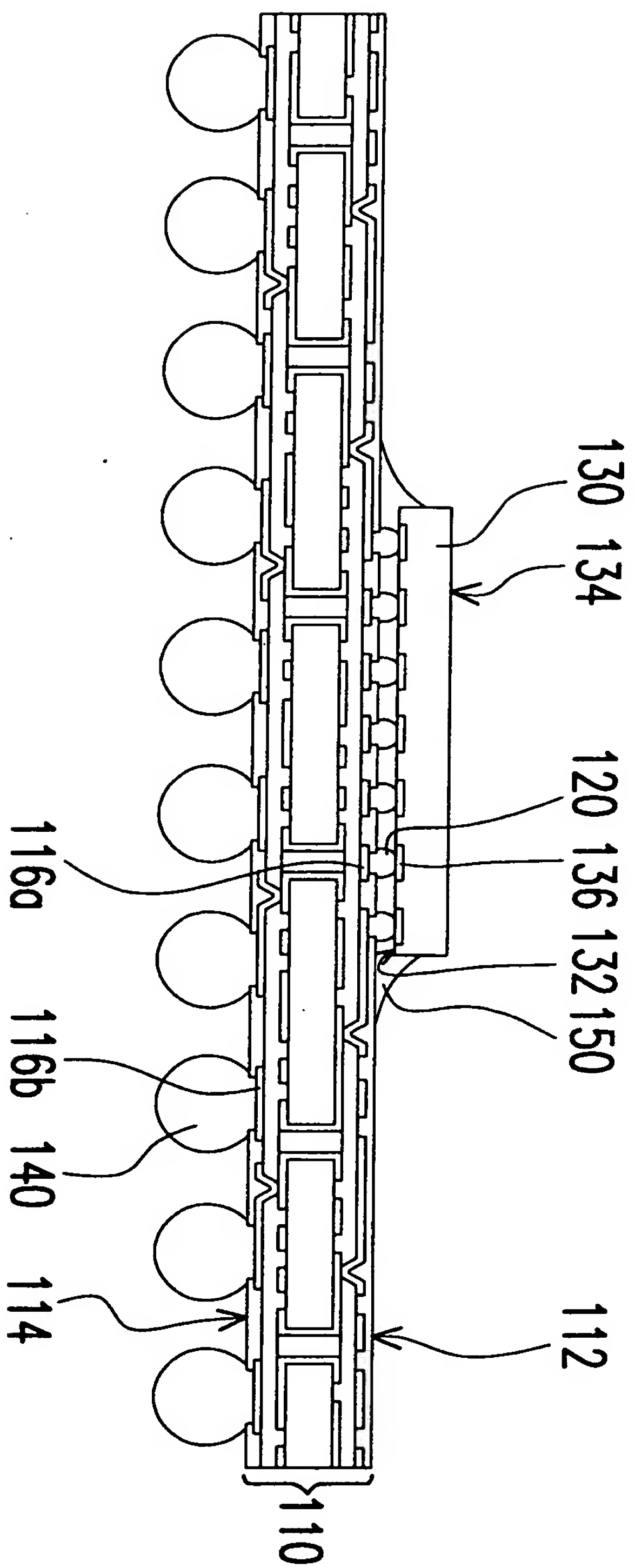


六、申請專利範圍

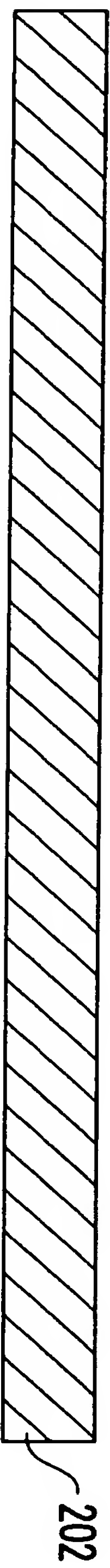
於該隔絕層上，且該些第二開口係分別連通於其所對應之該些第一開口之一，而分別暴露出其所對應之該些接合墊之一。

20. 如申請專利範圍第11項所述之電氣封裝製程，其中在配置該電子元件於該多層內連線結構之遠離該支撐基板之該面時，該電子元件係以覆晶接合、打線接合及熱壓接合其中之一的方式，而電性連接於該多層內連線結構之該內部線路。

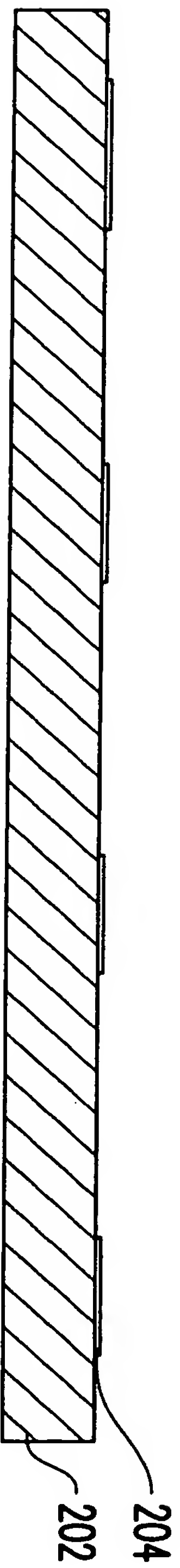




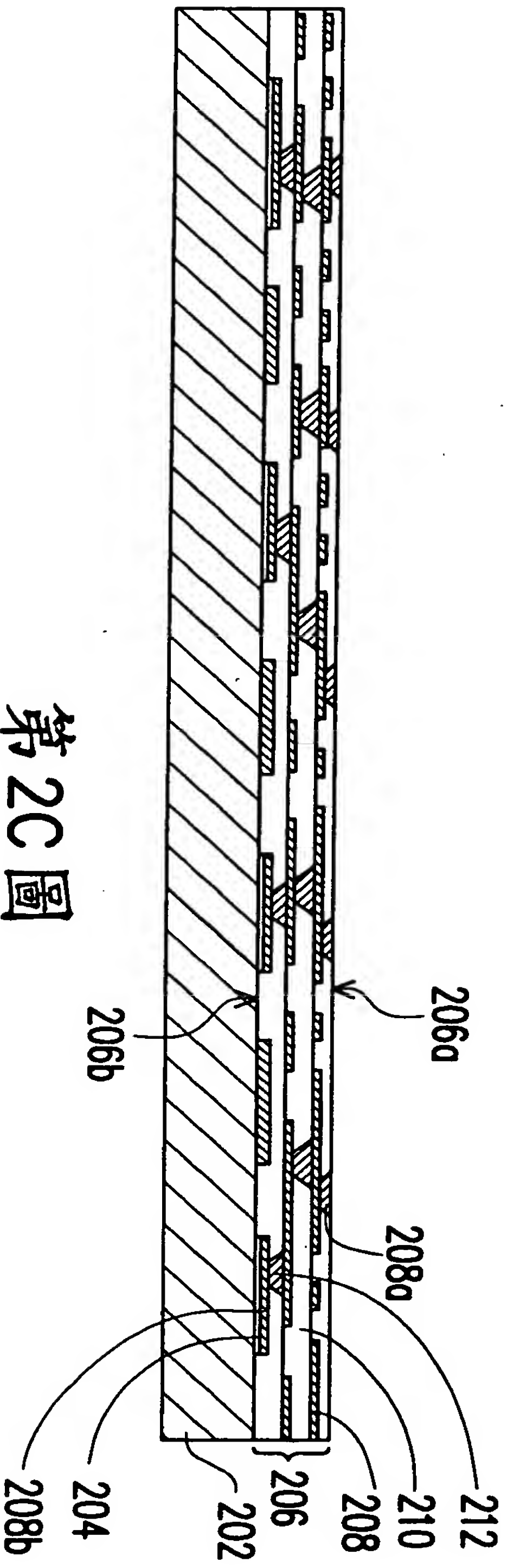
第 1 圖



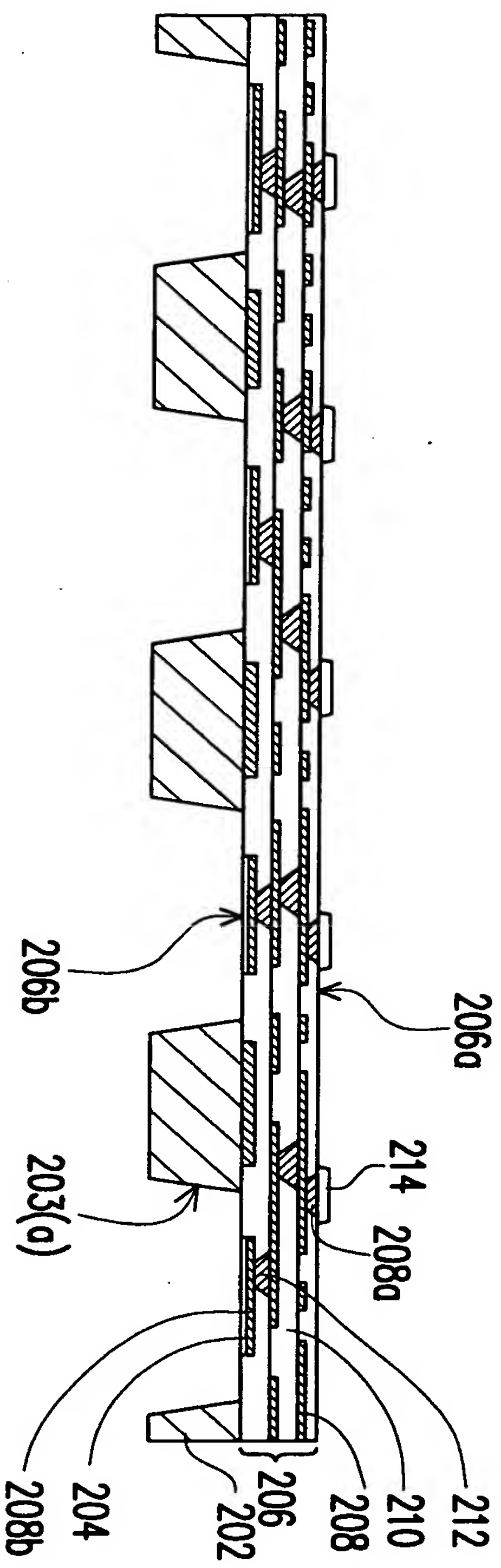
第2A圖



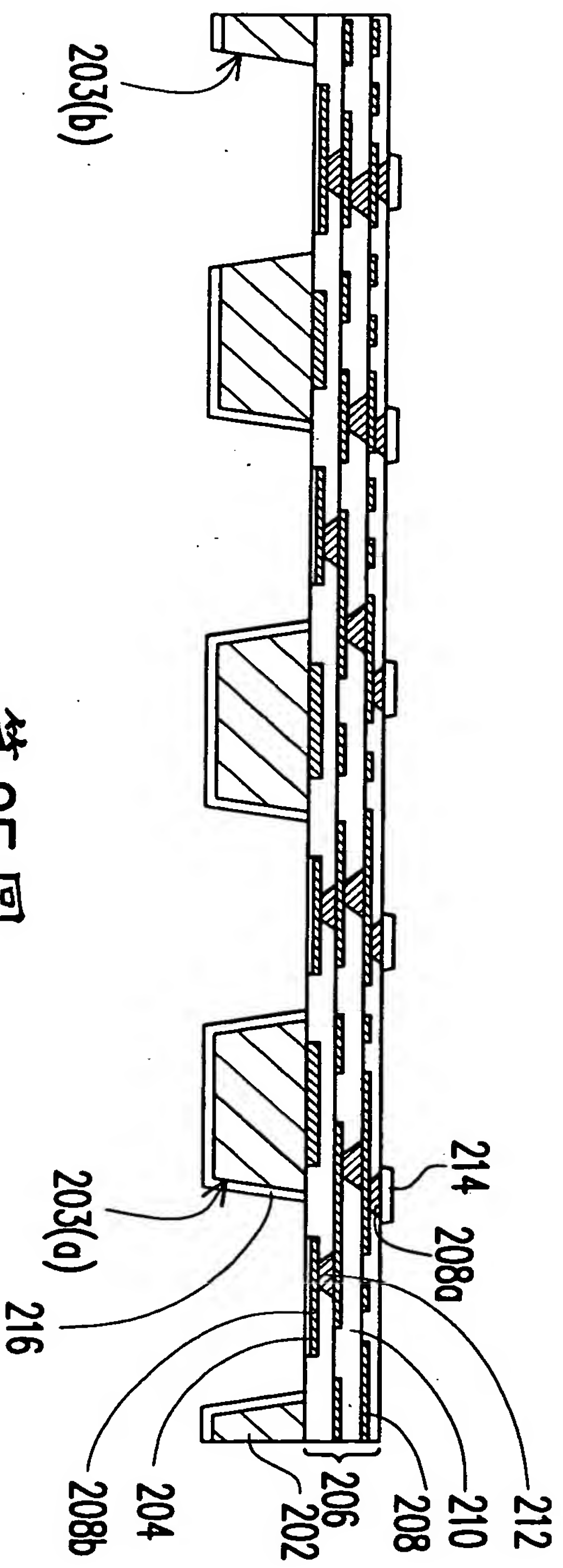
第2B圖



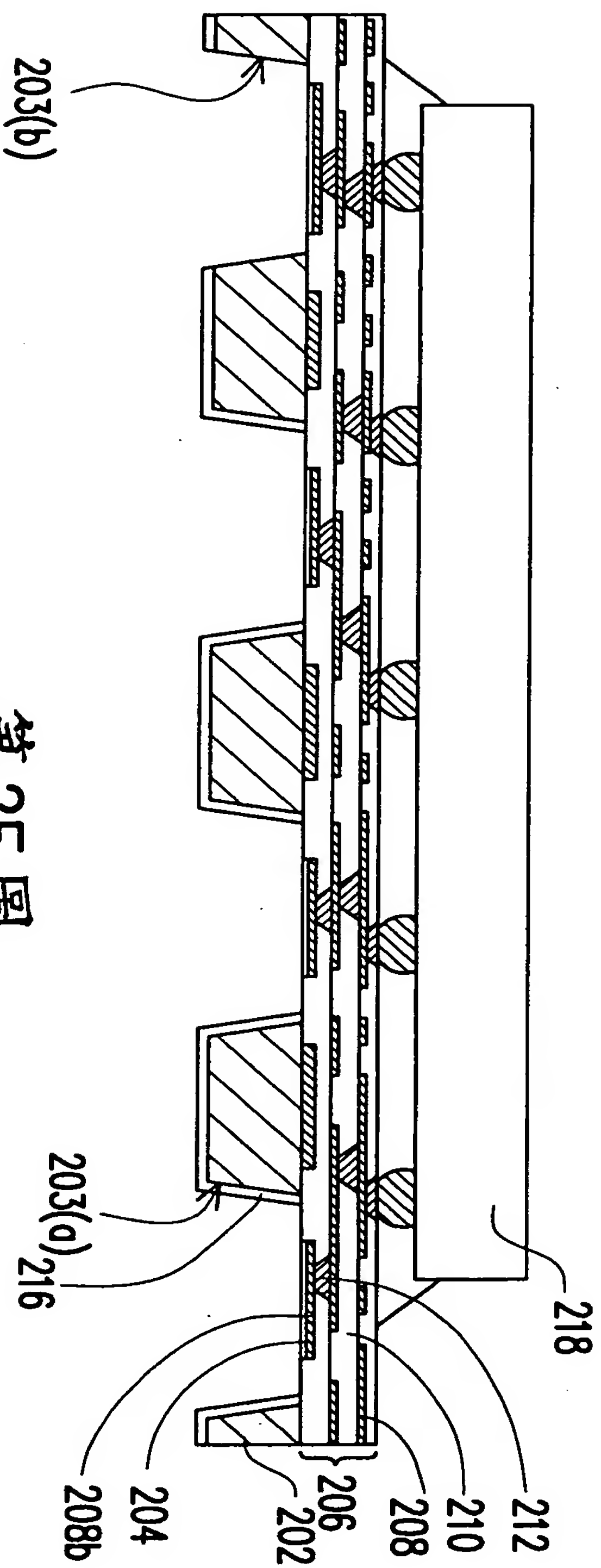
第2C圖



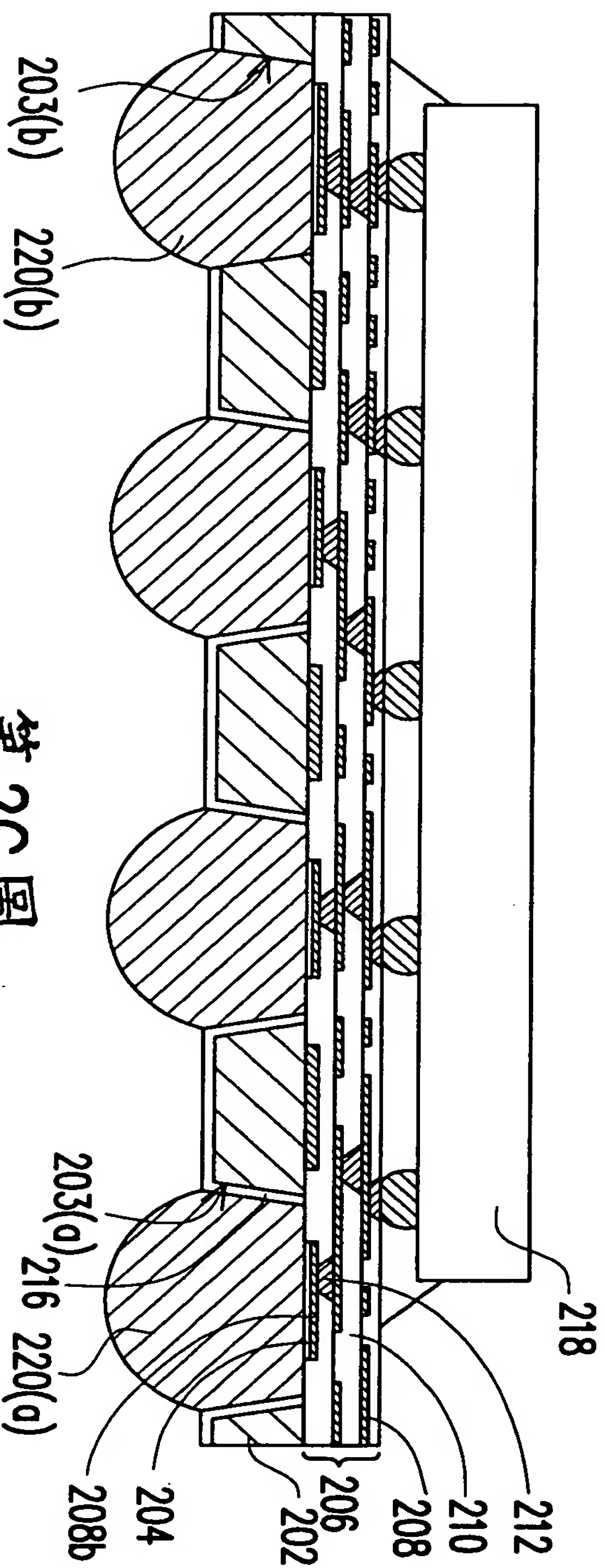
第20圖



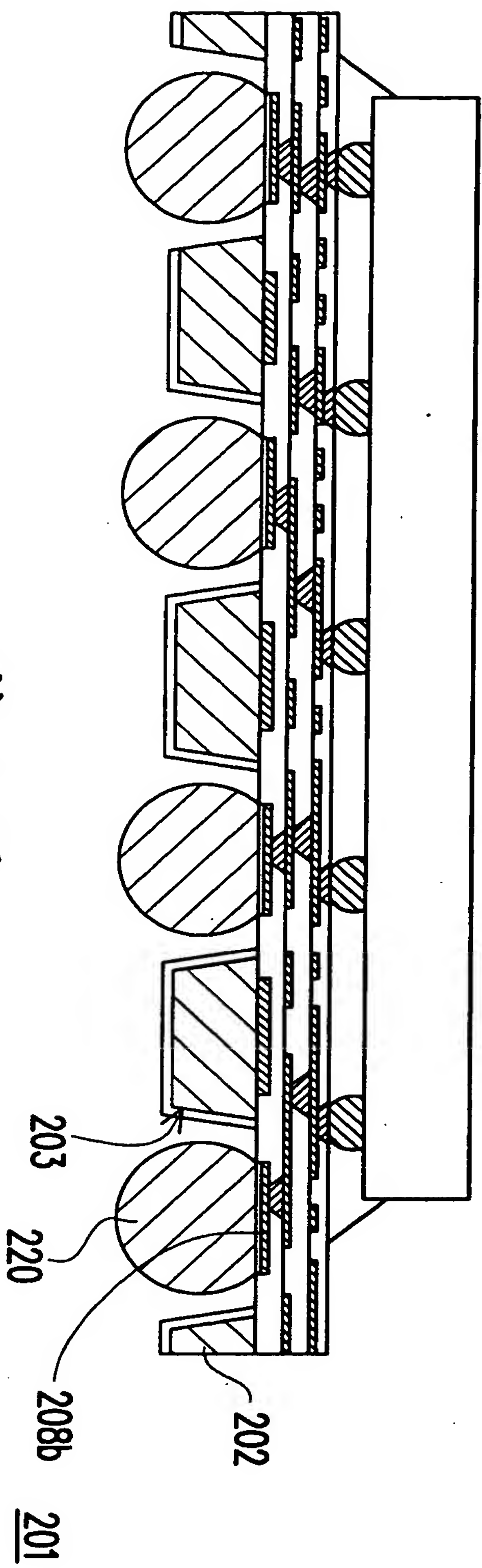
第2圖



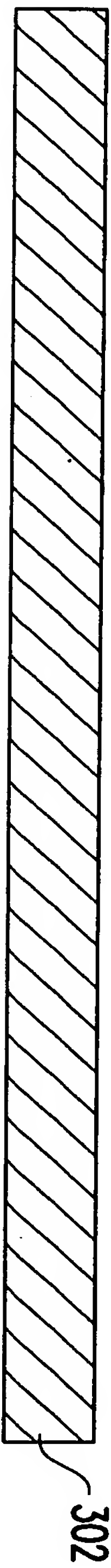
第2F圖



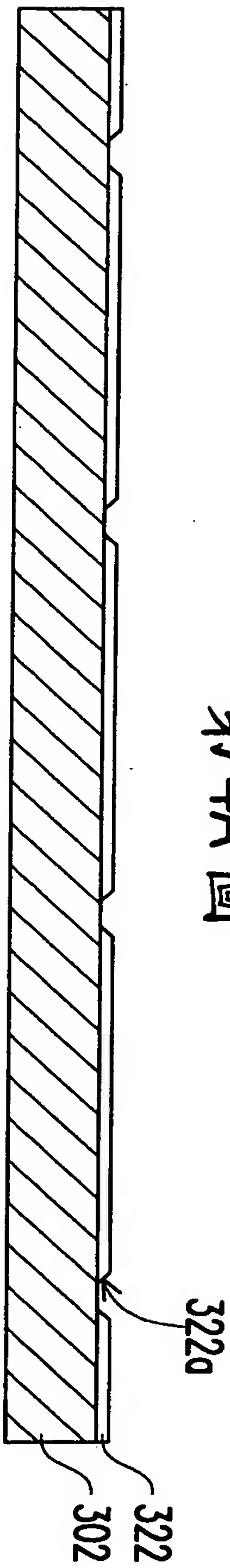
第2G圖



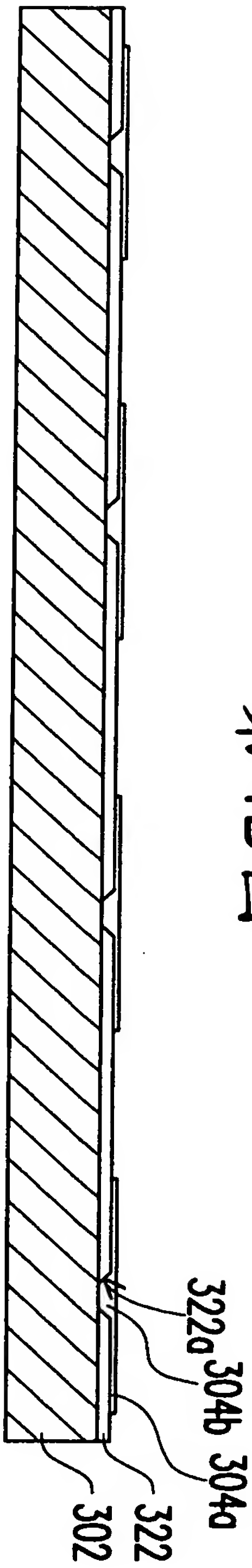
第 3 圖



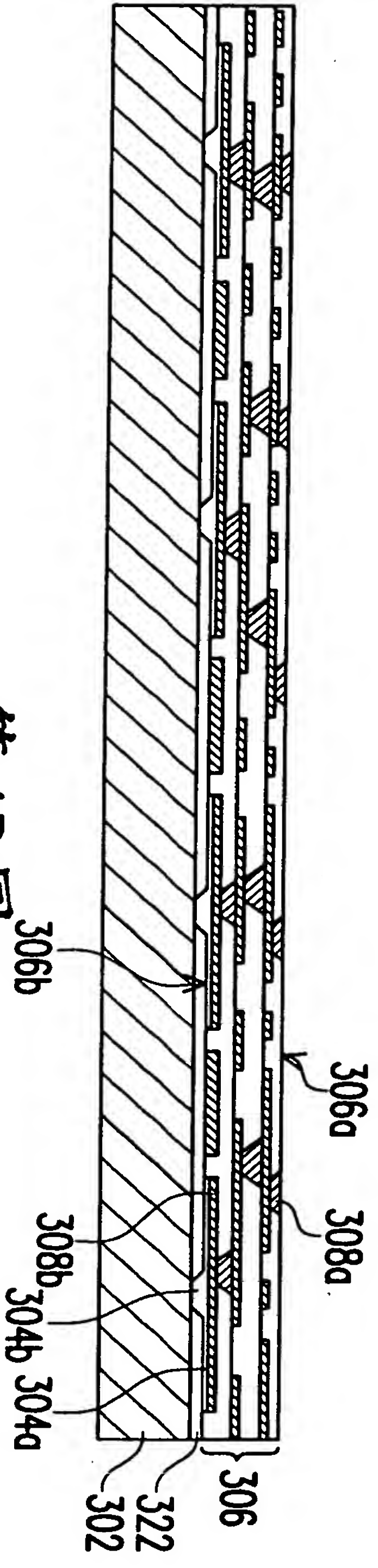
第4A圖



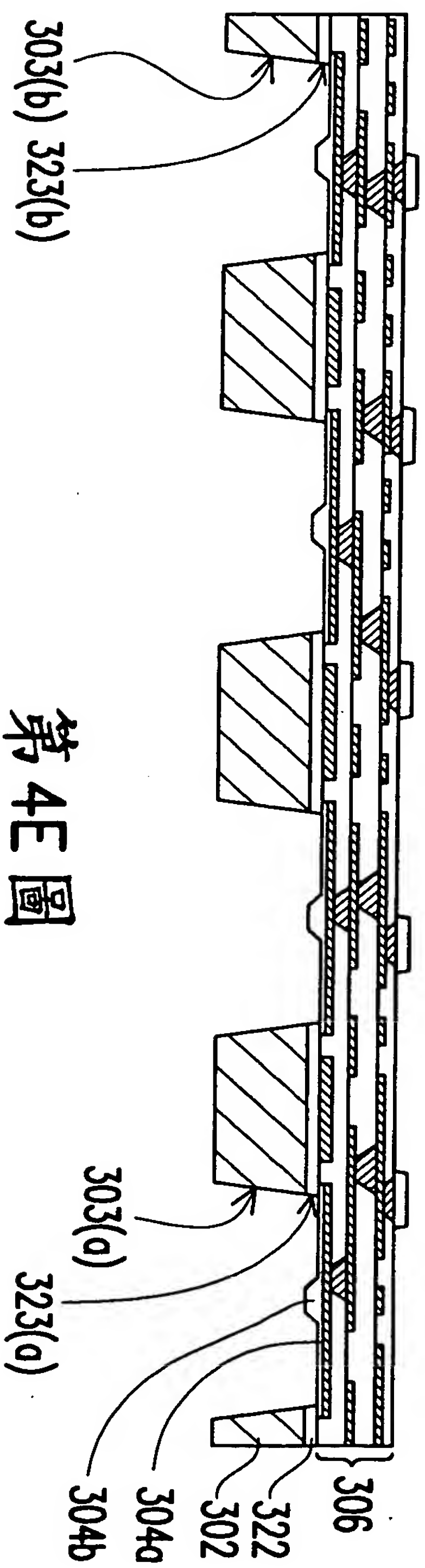
第4B圖



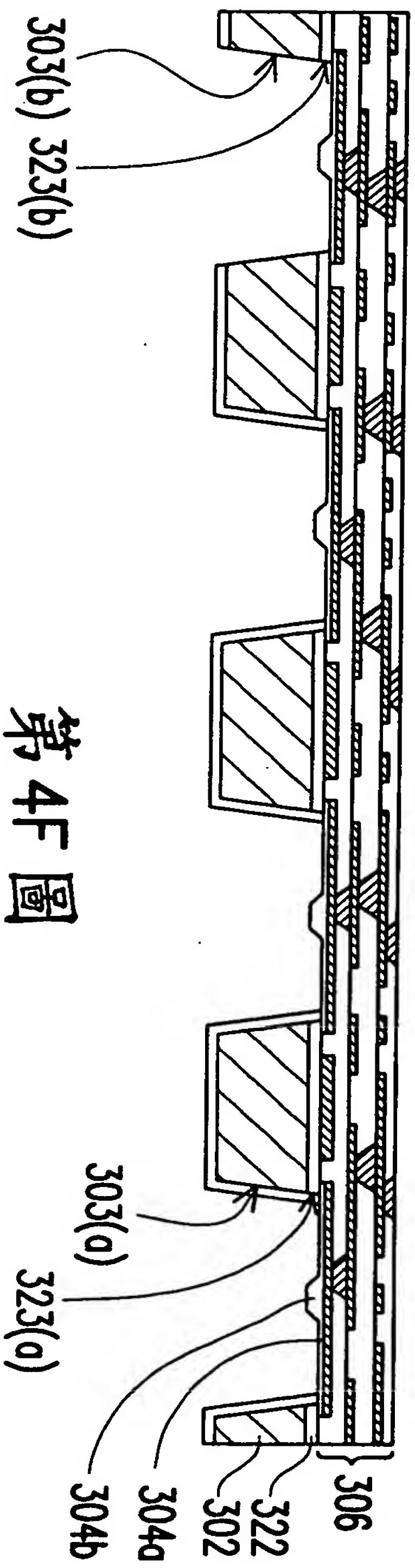
第4C圖



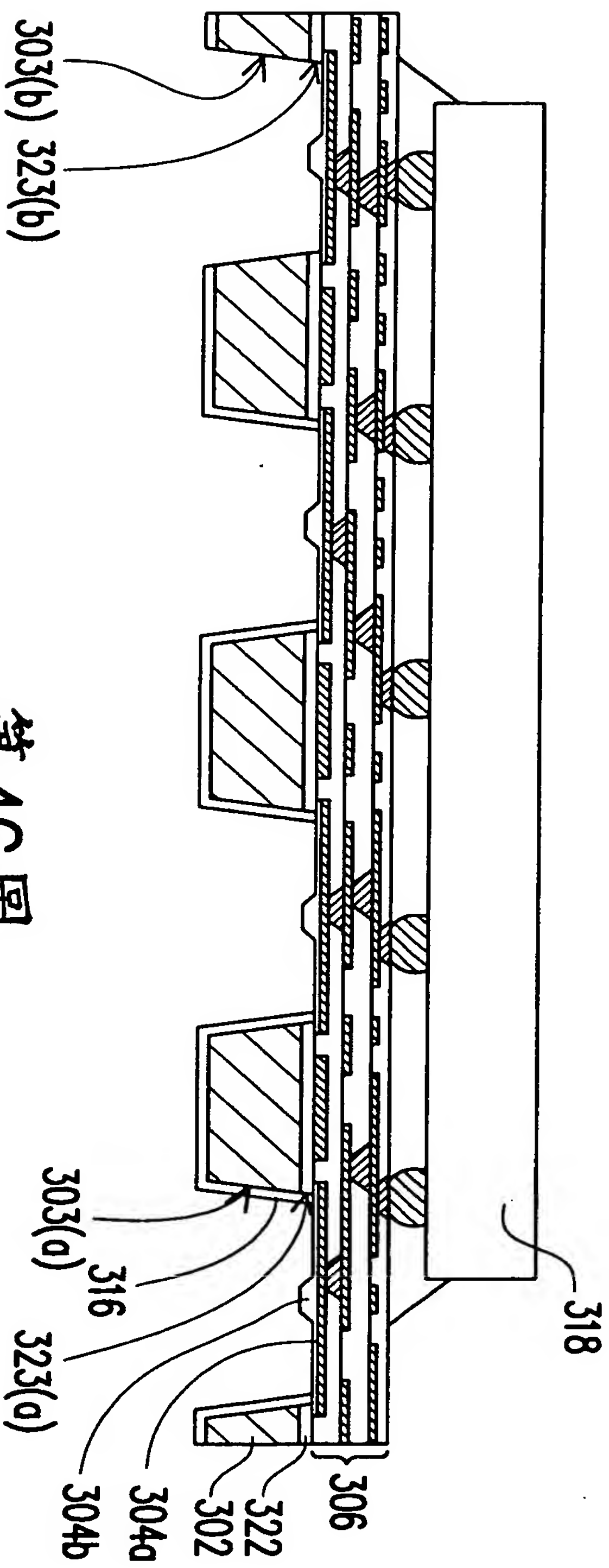
第4D圖



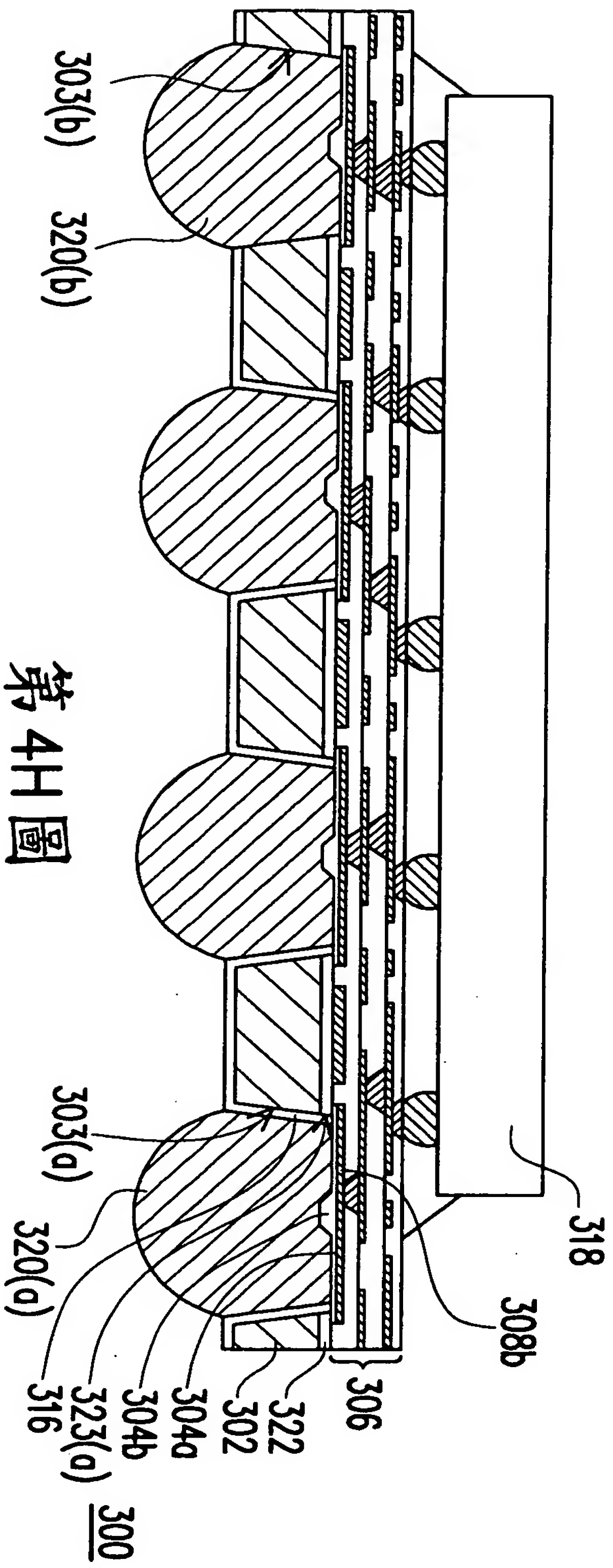
第4E圖



第4F圖

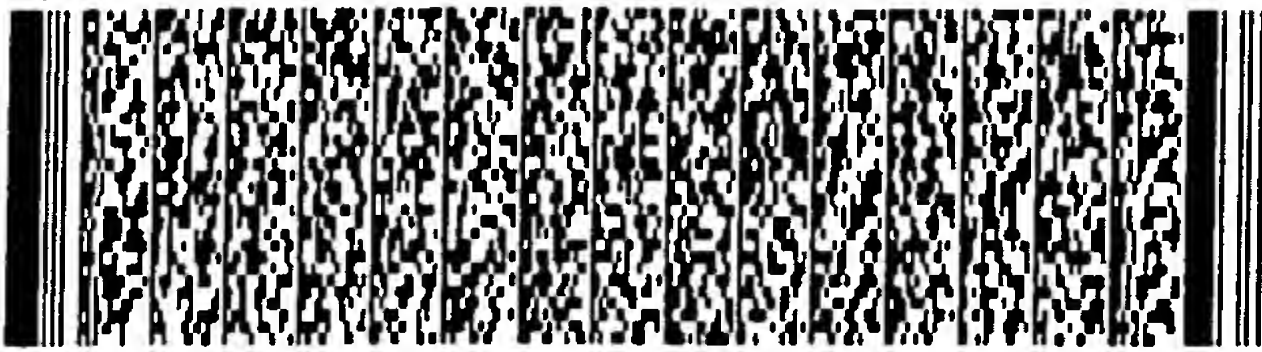


第4G圖

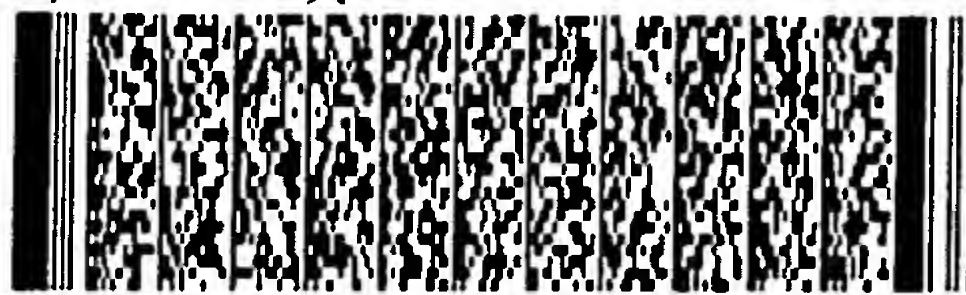


第4H圖

第 1/26 頁



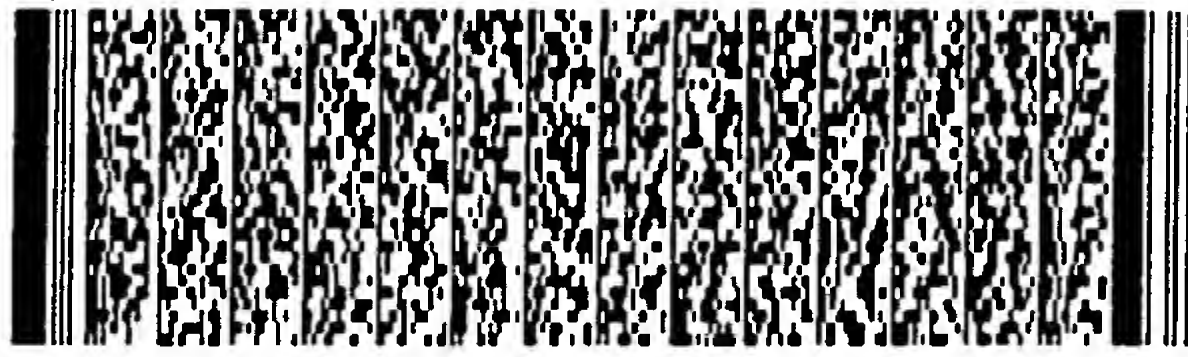
第 2/26 頁



第 3/26 頁



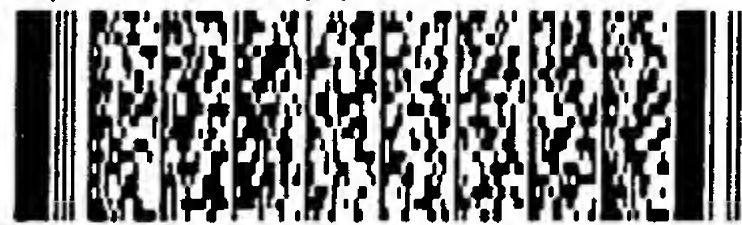
第 3/26 頁



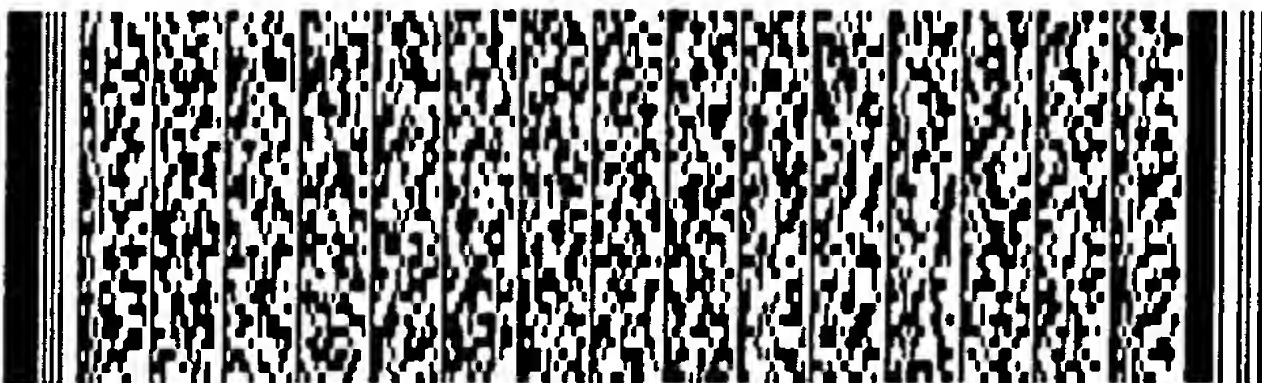
第 4/26 頁



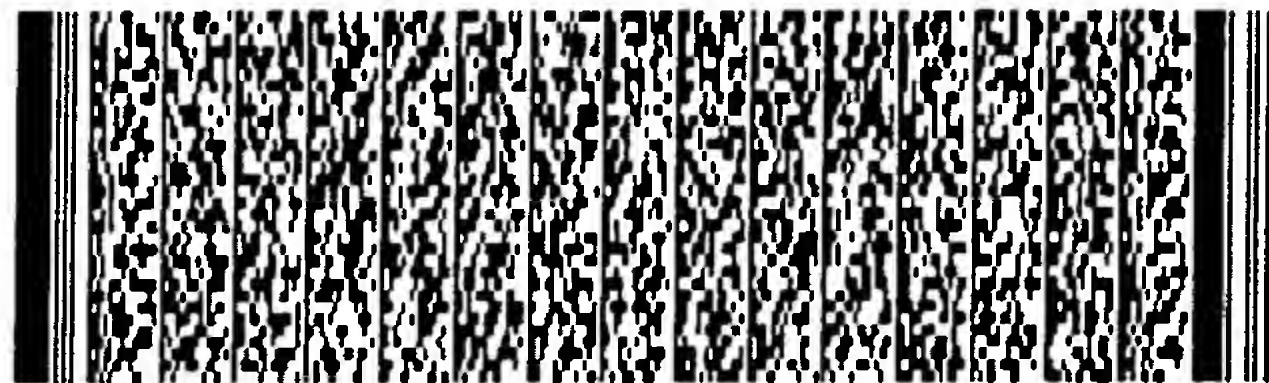
第 5/26 頁



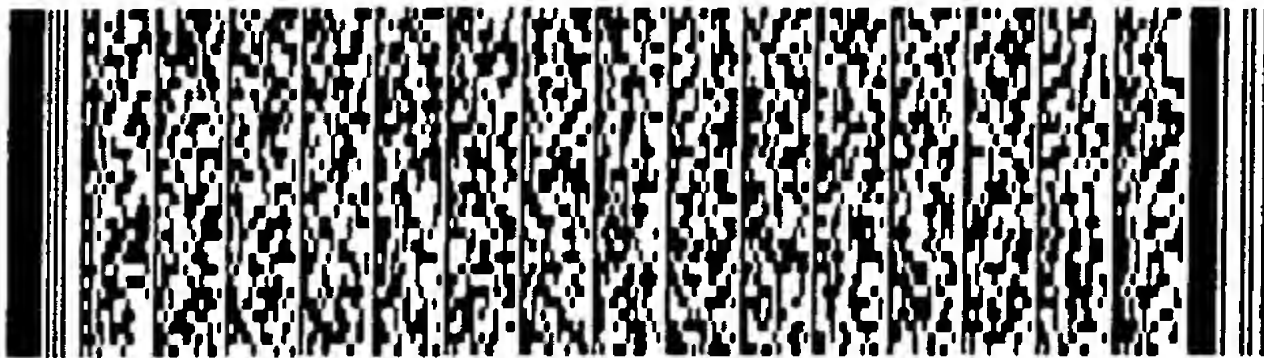
第 6/26 頁



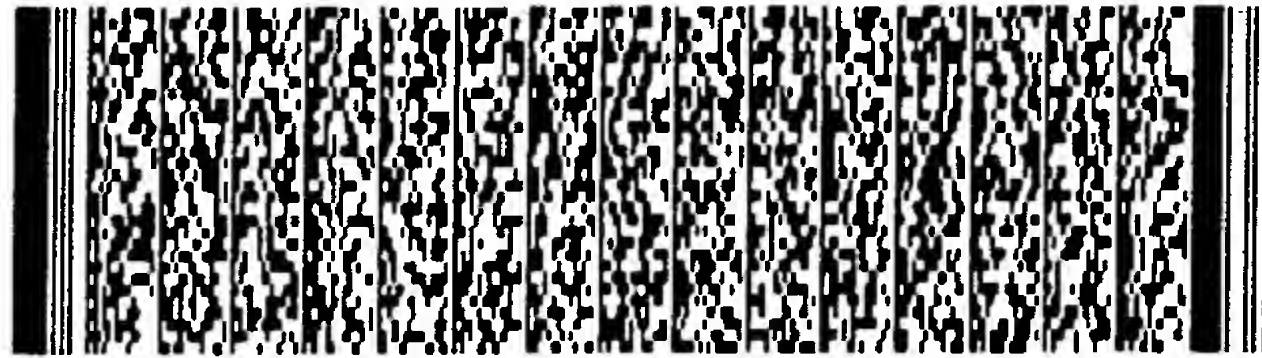
第 6/26 頁



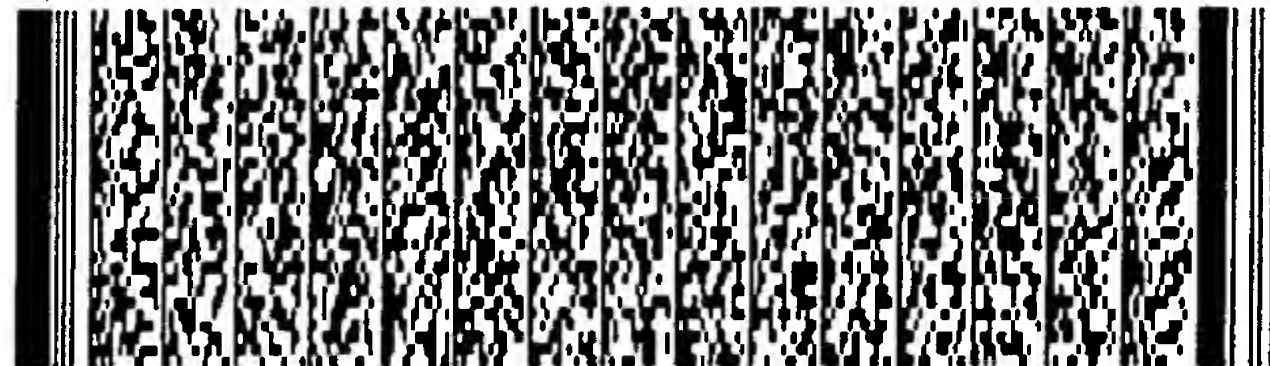
第 7/26 頁



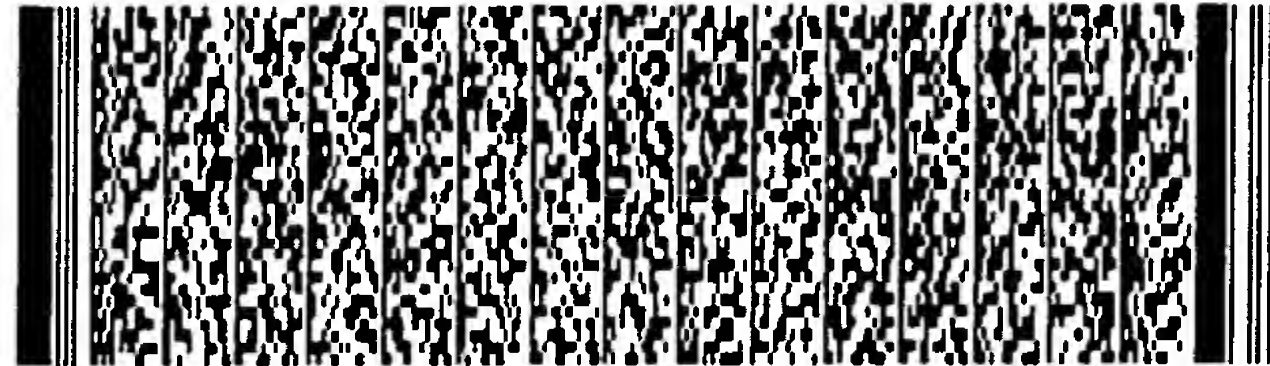
第 7/26 頁



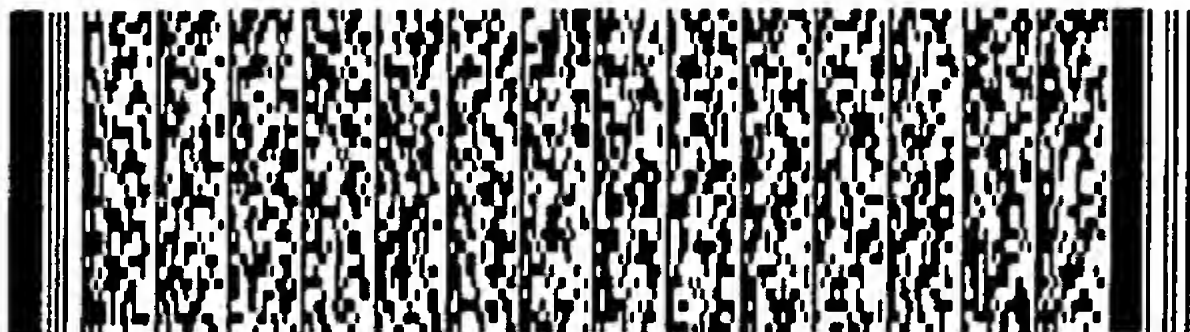
第 8/26 頁



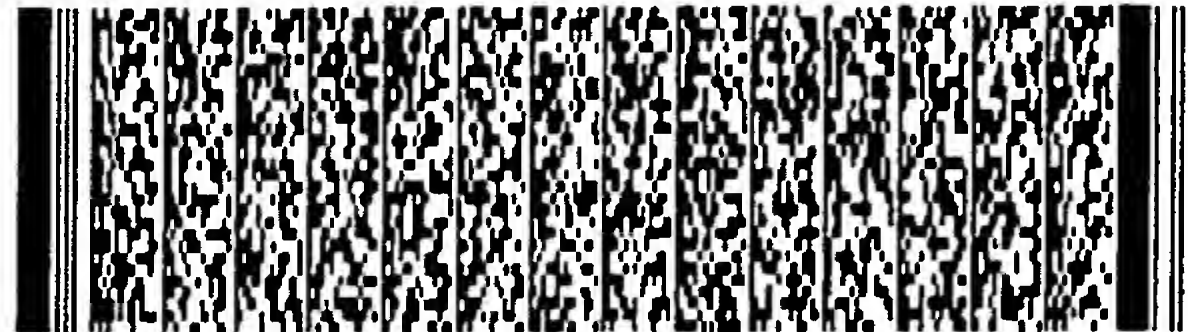
第 8/26 頁



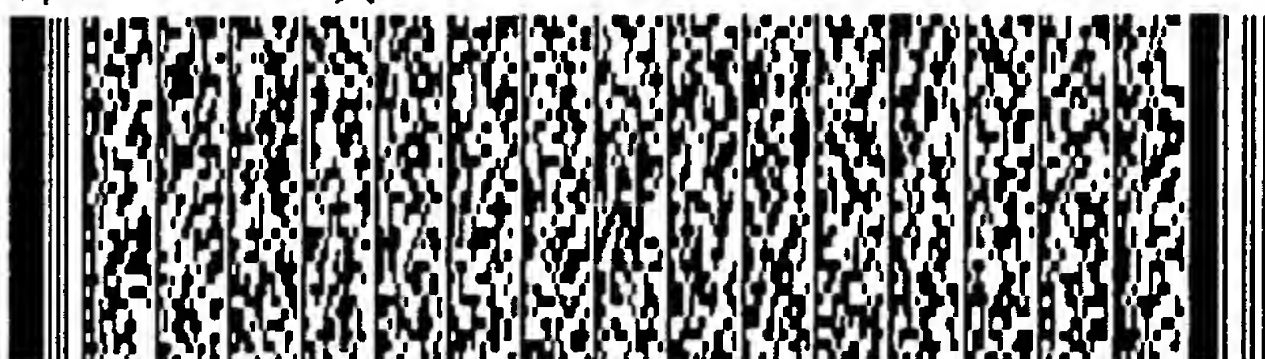
第 9/26 頁



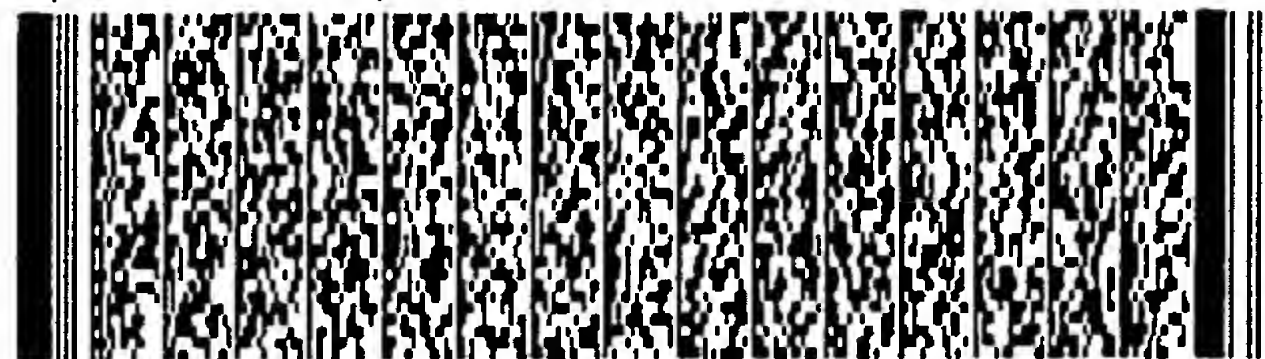
第 9/26 頁



第 10/26 頁



第 10/26 頁



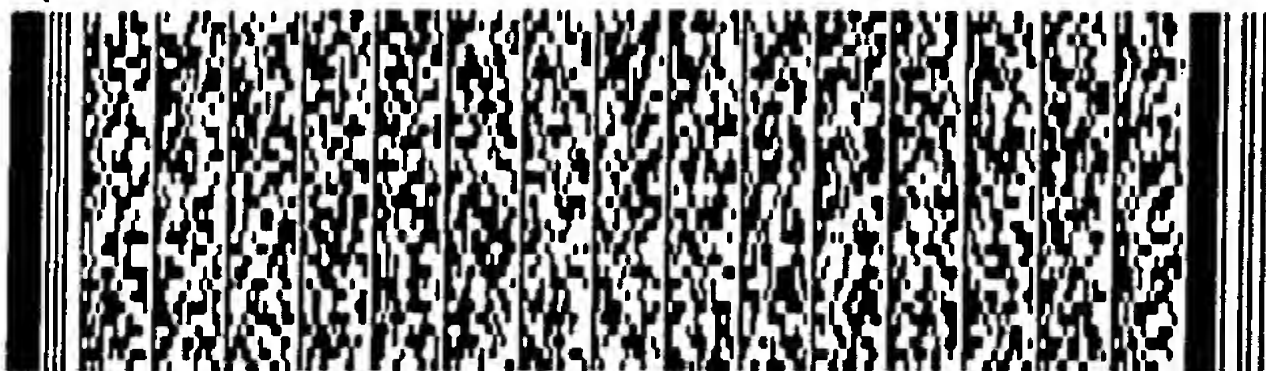
第 11/26 頁



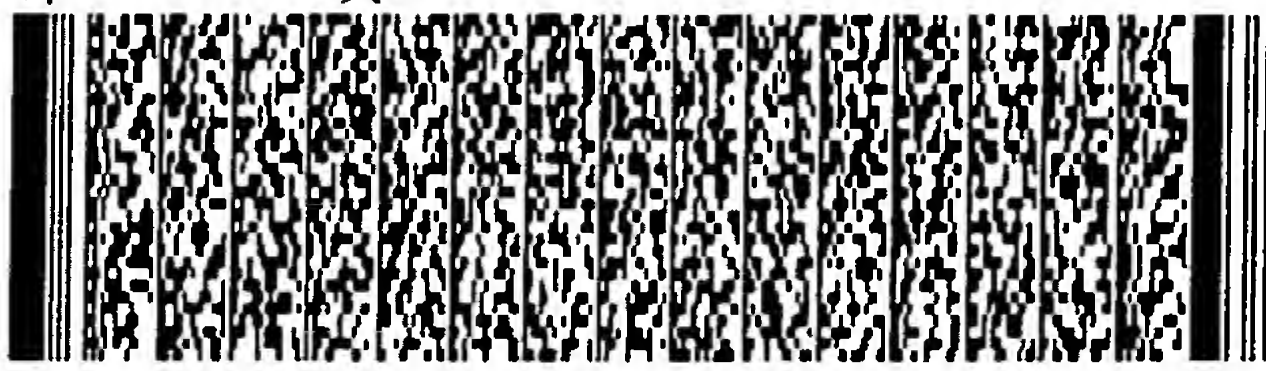
第 11/26 頁



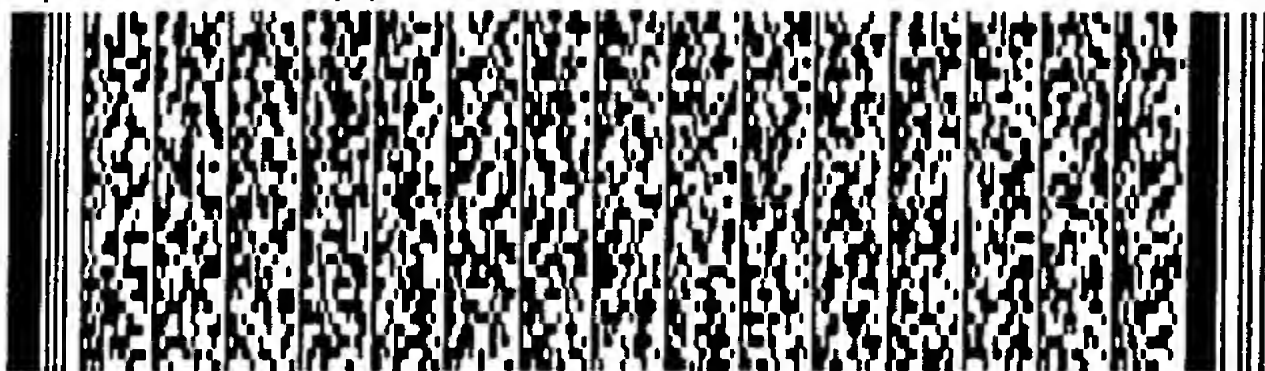
第 12/26 頁



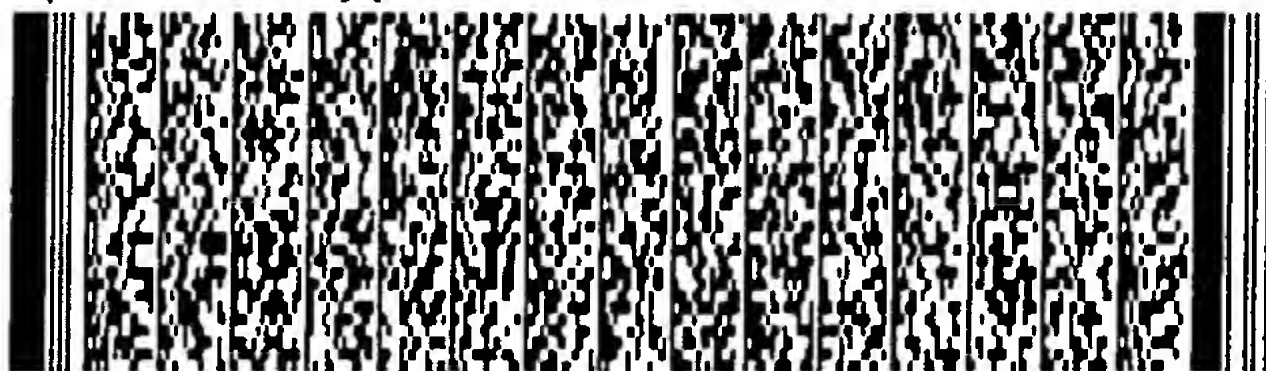
第 12/26 頁



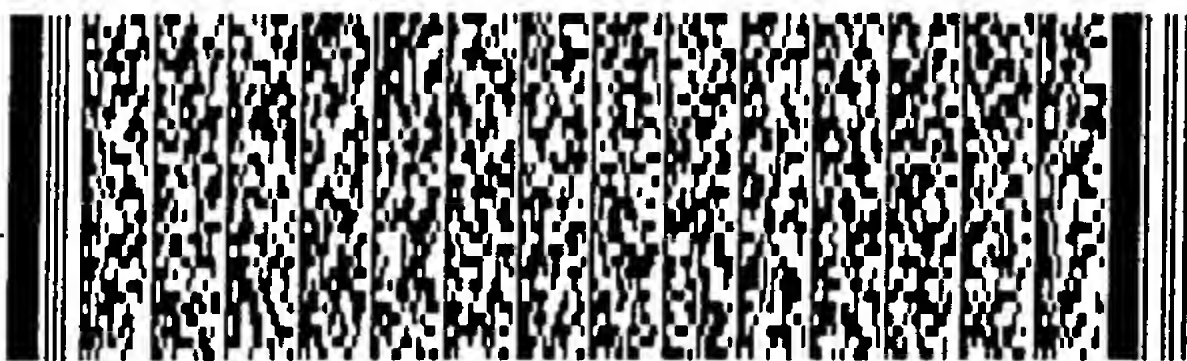
第 13/26 頁



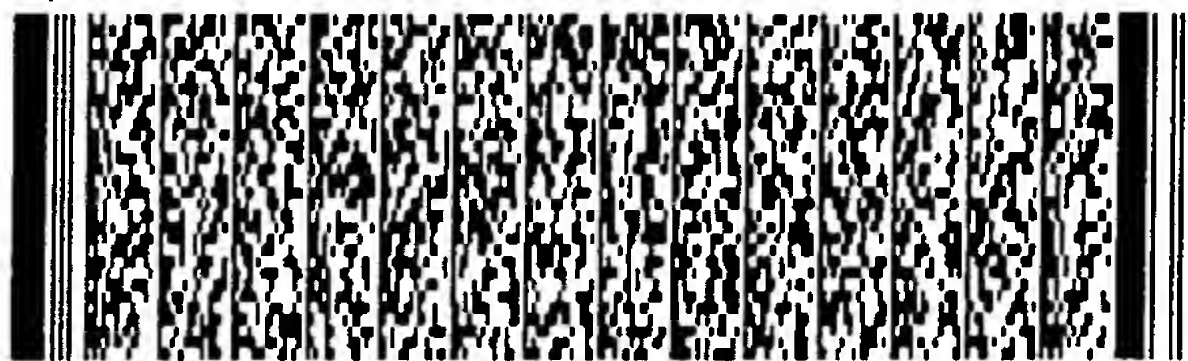
第 13/26 頁



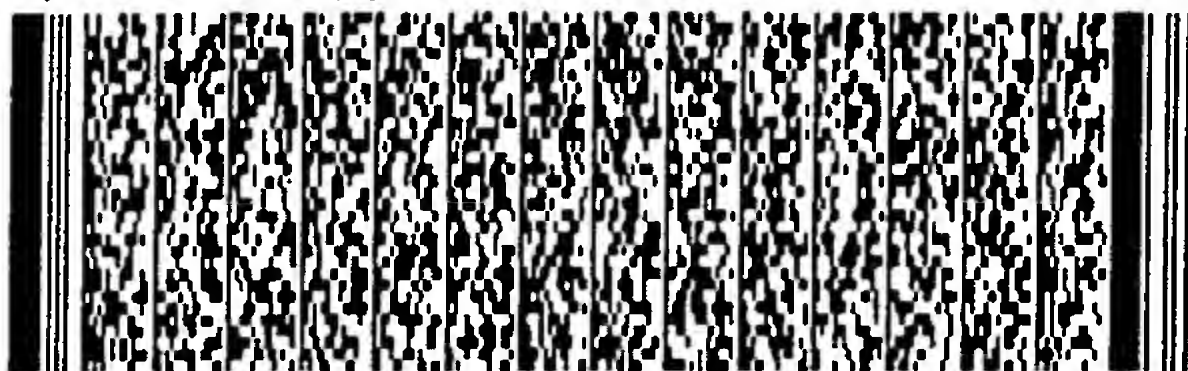
第 14/26 頁



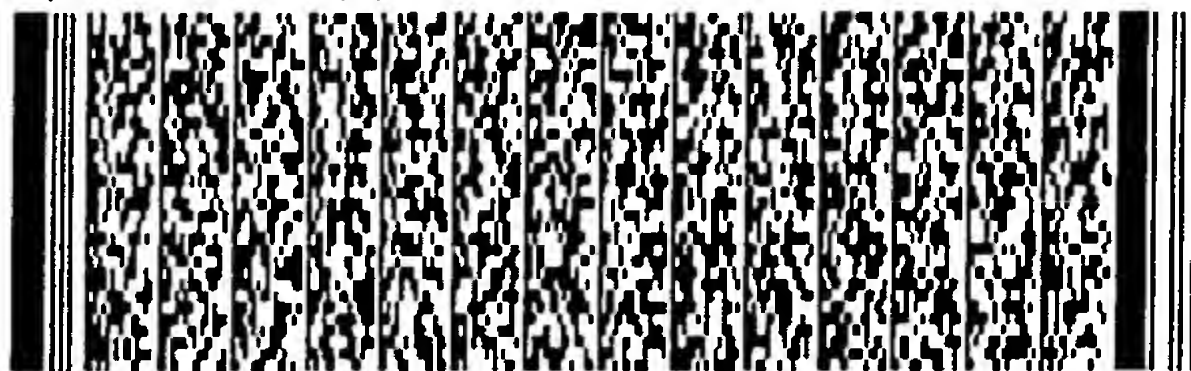
第 14/26 頁



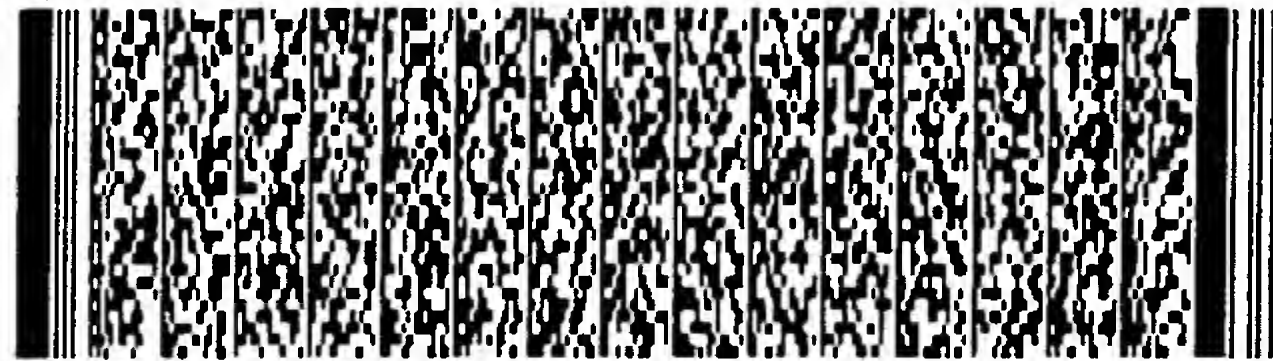
第 15/26 頁



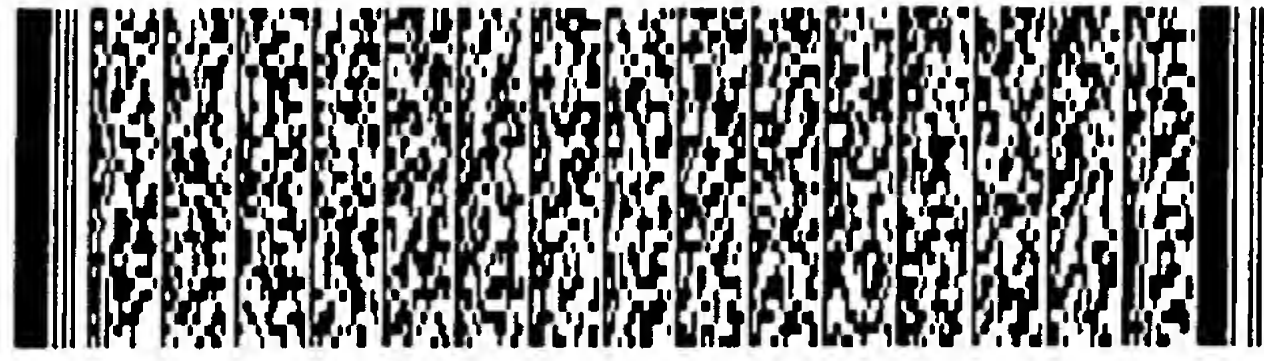
第 15/26 頁



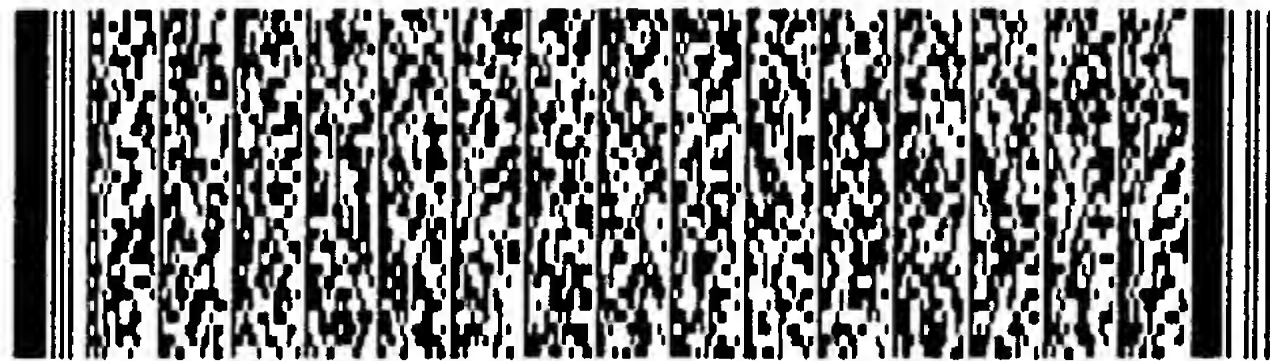
第 16/26 頁



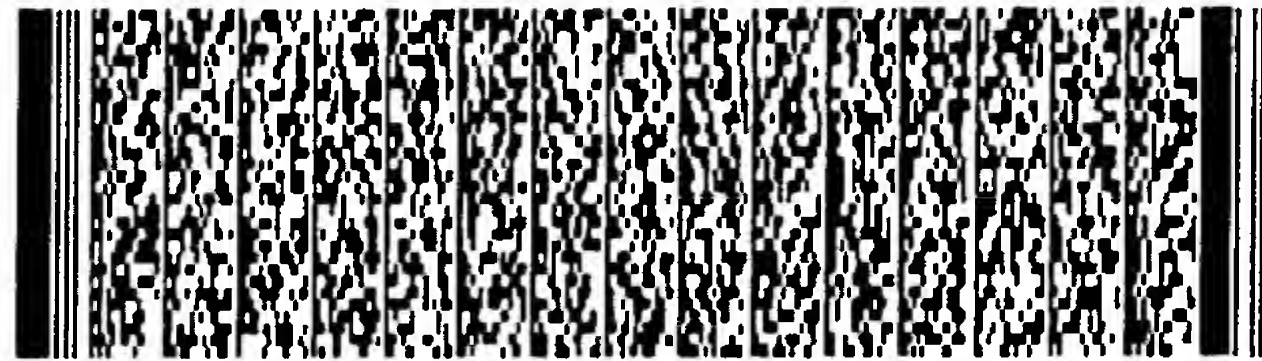
第 16/26 頁



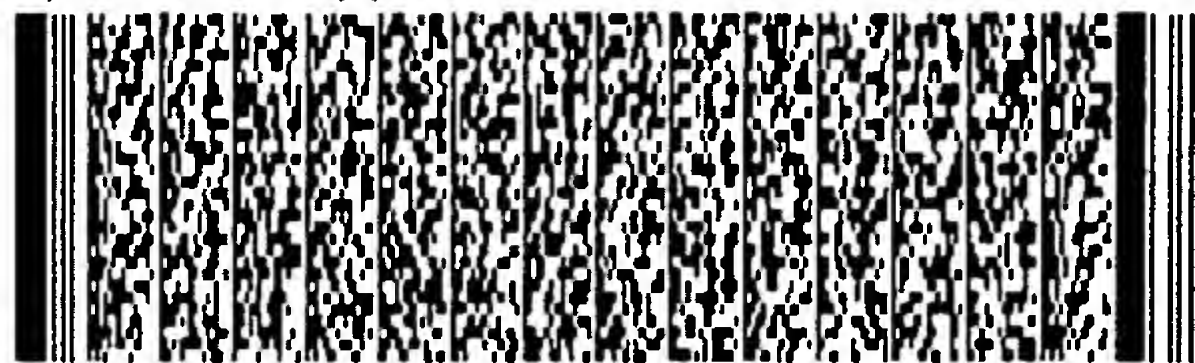
第 17/26 頁



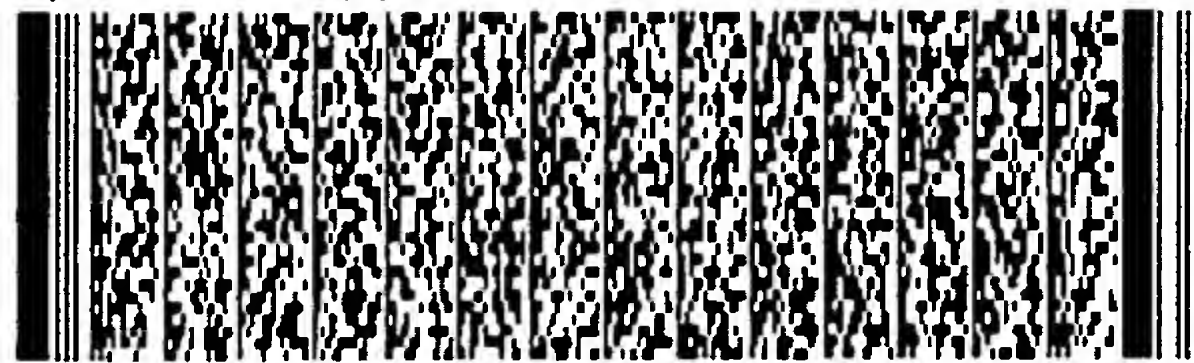
第 17/26 頁



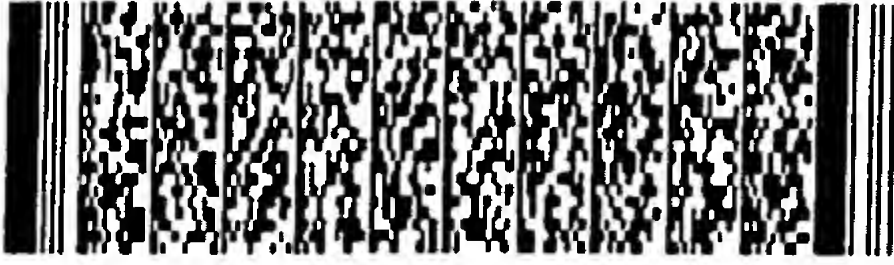
第 18/26 頁



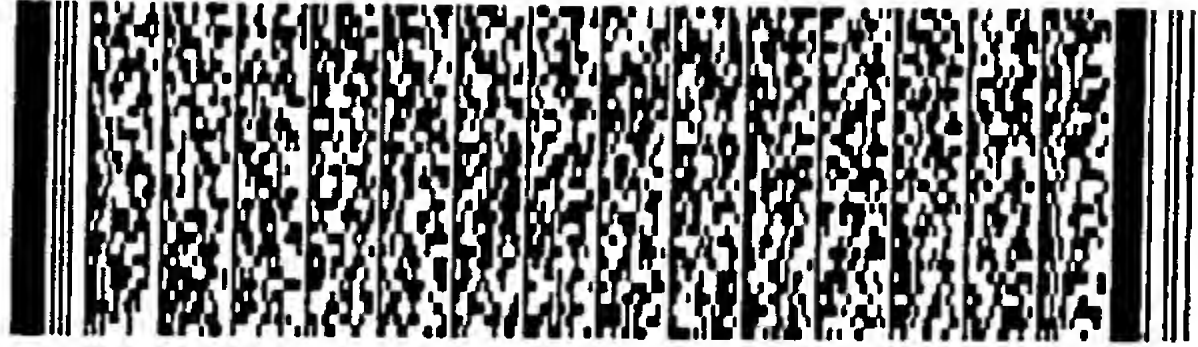
第 18/26 頁



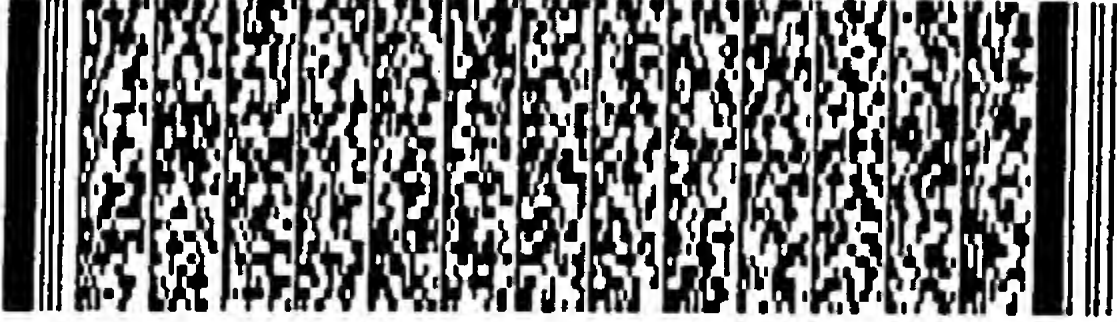
第 19/26 頁



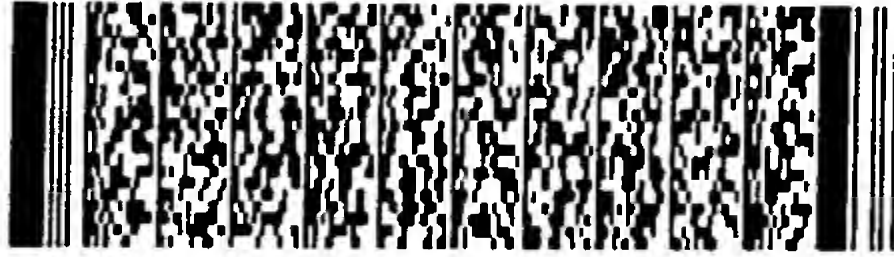
第 20/26 頁



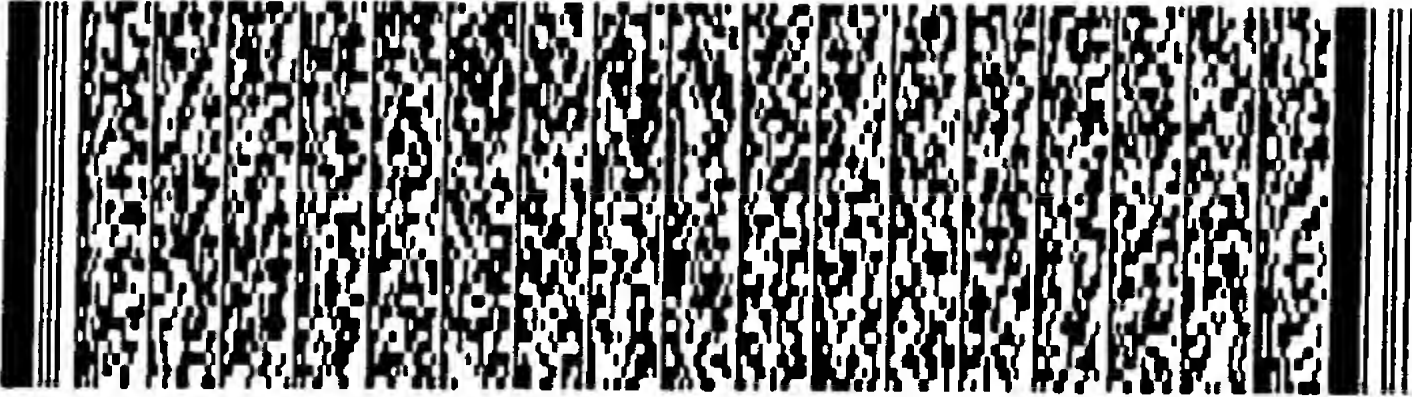
第 21/26 頁



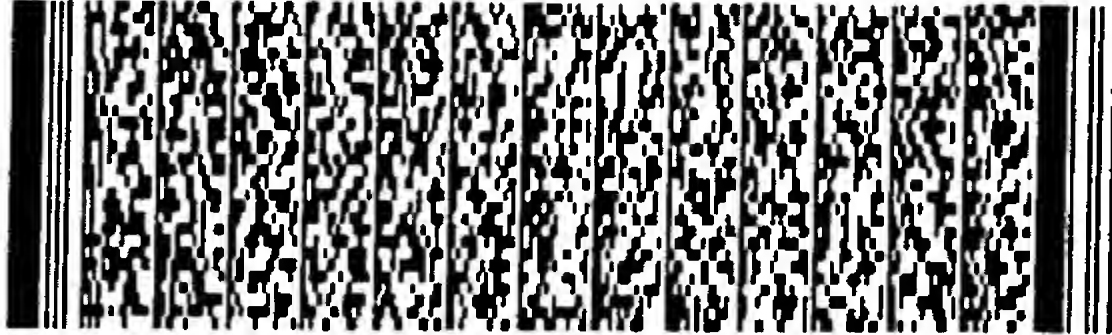
第 22/26 頁



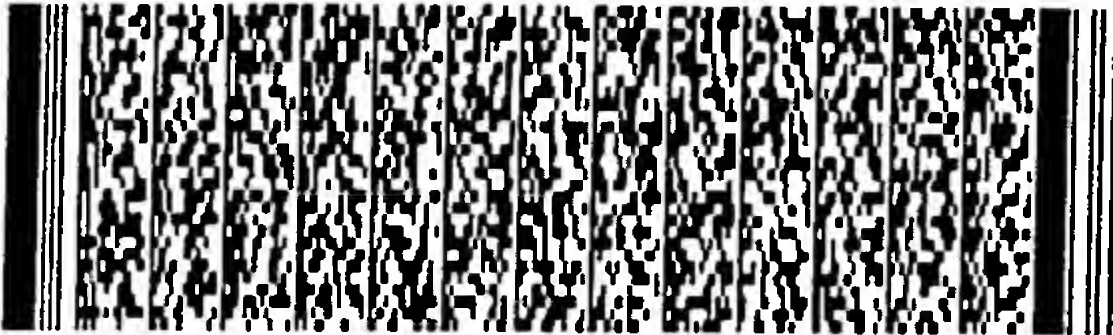
第 23/26 頁



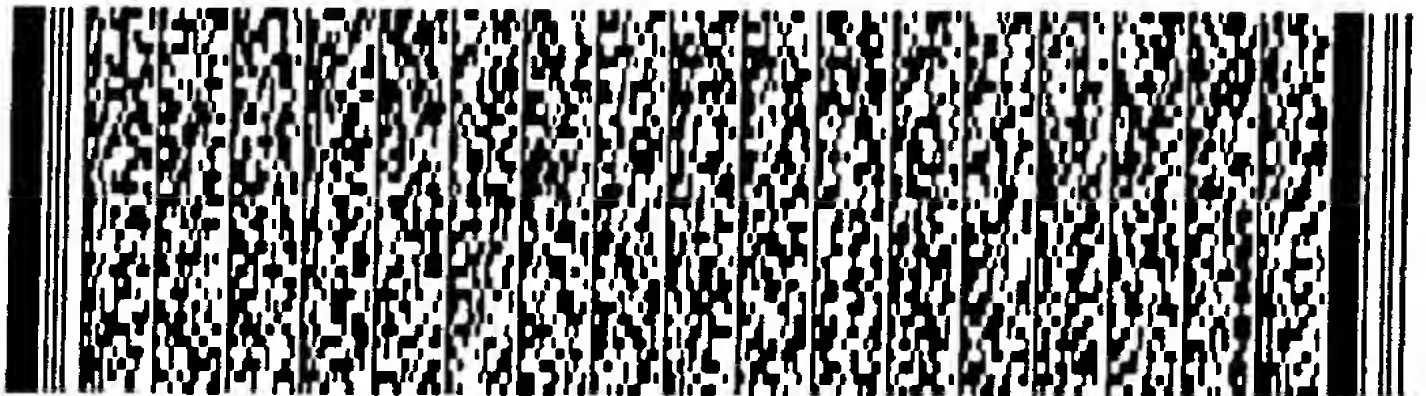
第 24/26 頁



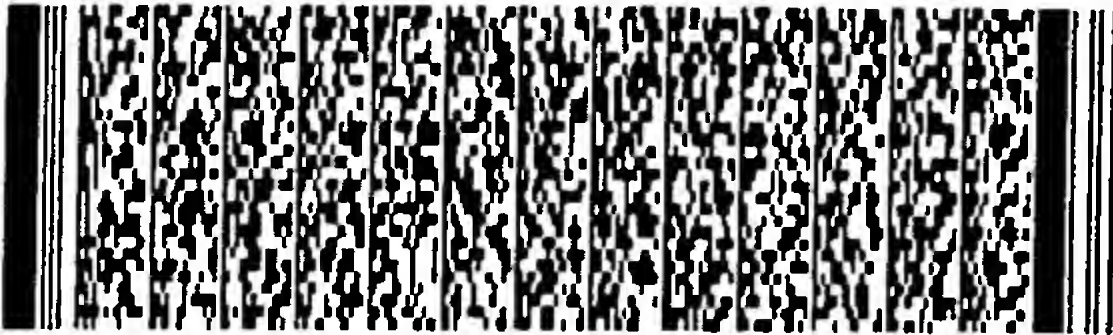
第 24/26 頁



第 25/26 頁



第 26/26 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** Bar Code

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.